

**БЫСТРОДЕЙСТВУЮЩАЯ ПЛАТА
СБОРА ДАННЫХ
БПн25-1216**

Руководство пользователя

Москва 2004

Примечание: В целях постоянного улучшения качества продукции производитель сохраняет за собой право изменять параметры данного изделия без уведомления потребителей. Информация, представленная в настоящем издании, может быть изменена без уведомления потребителей.

Редакция: 10.08.2004

ООО «Центр АЦП»

Почтовый адрес: 125040, г.Москва, ул.Верхняя, д.6, ООО "Центр АЦП"

Телефон: (095) 257-4503

Телефон/Факс: (095) 257-4514

E-mail: mail@centeradc.ru

WWW: www.centeradc.ru

СОДЕРЖАНИЕ

1. Введение	5
1.1 Назначение	5
1.2 Технические характеристики	5
1.3 Конструктивные параметры	6
1.4 Комплект поставки	6
1.5 Меры предосторожности при транспортировке и эксплуатации изделия	7
2. Устройство и работа изделия	8
2.1 Общая функциональная схема	8
2.2 Узел интерфейса ADM-Connect	9
2.3 Узел синхронизации и управления	10
2.3.1 Тактирование	10
2.3.2 Стартовая синхронизация АЦП	10
2.3.3 Совместная работа нескольких модулей	11
2.4 Узел программируемых напряжений	12
2.5 Узел ЦАП	13
2.6 Память данных	13
2.7 Цифровой порт ввода/вывода	16
2.8 Системный интерфейс	16
3. Программируемые ресурсы базового модуля	18
3.1 Общая характеристика	18
3.2 Основной регистр режимов	20
3.3 Регистр режимов стартовой синхронизации АЦП	21
3.4 Регистры частоты дискретизации АЦП и ЦАП	21
3.5 Входные данные и данные ЦАП	21
3.6 Регистр ЦАП программируемых напряжений	22
3.7 Регистр состояния	23
3.8 Программируемые ресурсы узла памяти данных	23
3.8.1 Определение конфигурации памяти	23
3.8.2 Регистр конфигурации контроллера памяти	24
3.8.3 Регистр начального адреса активной зоны	25
3.8.4 Регистр конечного адреса активной зоны	25
3.8.5 Регистр счетчика посттриггера	25
3.8.6 Регистр начального адреса чтения	25
3.8.7 Реально собранное количество данных	25
3.8.8 Регистр состояния контроллера памяти	25
4. Установка конфигурации модуля	27
4.1 Входное сопротивление входов внешней синхронизации	27
4.2 Подключение ФНЧ ЦАП	27
4.3 Использование разъема X4	27
4.4 Выбор напряжения питания 3,3В	28
4.5 Загрузка конфигурации программируемых логических схем	28

5. Устройство и работа субмодуля ADM212x40M	30
5.1 Общая функциональная схема	30
5.2 Тракт ввода аналогового сигнала	31
5.2.1 Входной мультиплексор	31
5.2.2 Усилители	31
5.3 Тракт вывода аналоговых сигналов	31
5.4 Взаимодействие субмодуля с источниками сигналов	32
5.4.1 Предварительные замечания	32
5.4.2 Подключение субмодуля к типовым источникам сигналов	32
5.5 Калибровка субмодуля	34
5.5.1 Калибровка статических параметров субмодуля	34
5.5.2 Калибровка динамических параметров субмодуля	34
6. Программируемые ресурсы субмодуля	35
6.1 Общая характеристика	35
6.2 Регистр режимов стартовой синхронизации АЦП	35
6.3 Число опрашиваемых входов	36
6.4 Порядок опроса	36
6.5 Регистр режимов АЦП и коэффициенты усиления	36
6.6 Формат входных данных	37
6.7 Смещение нуля	37
7. Программное обеспечение	39

1. ВВЕДЕНИЕ

1.1 Назначение

Быстродействующая плата сбора данных БПн25-1216 предназначена для создания широкого спектра систем сбора данных и цифровой обработки сигналов на базе персональных компьютеров с шиной PCI.

Плата сбора данных БПн25-1216 позволяет организовать продолжительный сбор аналоговой информации с высокой частотой дискретизации, регистрацию быстропротекающих периодических и однократных процессов.

Конструктивно плата БПн25-1216 состоит из базового модуля аналогового ввода/вывода AMBPCM и субмодуля аналогового ввода ADM212x40M.

В настоящем документе описывается работа узлов и программирование ресурсов платы БПн25-1216.

1.2 Технические характеристики

Системный интерфейс: 32 бит, 33 МГц, 5V PCI Rev.2.1

Режимы обмена: Мастер и/или программный

Интерфейс устройств аналогового ввода/вывода: ADM-Connect

Скорость ввода данных в память модуля: до 400 Мбайт/с

Скорость передачи данных из памяти модуля в ПЭВМ: до 85 Мбайт/с

Память данных тракта ввода (SDRAM):

- до 4Гбайт, четыре слота SDRAM DIMM 168-pin.

Буферная память тракта вывода (FIFO):

- до 16К 16-разрядных слов

Цифровой порт для управления внешними устройствами:

- 16 разрядов на ввод
- 8 или 16 разрядов на вывод

Синхронизация модуля:

- внутренняя от кварцевых генераторов 40МГц; 60МГц
- внутренняя от тактовой частоты PCI
- внешняя от ТТЛ/КМОП/ЭСЛ генераторов (до 60МГц)
- синхронизация от субмодуля

Старт/останов процесса ввода отсчетов:

- программный
- от внешних ТТЛ, ЭСЛ, КМОП сигналов
- пороговый, 2 канала, 256 уровней в диапазоне $\pm 2.5V$
- режим претриггера/посттриггера программируемой глубины

Технические характеристики канала аналогового ввода:

Параметры	Значения
Разрядность	12 бит
Количество АЦП	2
Количество входов на один АЦП	8
Максимальная частота одного АЦП	40 МГц
Минимальная частота одного АЦП	1 кГц
Входное сопротивление ($R_{вх}$)	10 кОм (50 Ом)
Входная емкость ($C_{вх}$)	6 пФ
Коэффициенты усиления (программируемые)	1, 2, 4, 8
Шкала преобразования	$\pm 2,5$ В
Максимально допустимое постоянное напряжение по входу	$\pm 14,5$ В
Максимальная скорость мультиплексирования	10 МГц

Технические характеристики канала аналогового вывода:

- разрядность ЦАП 14 бит, 1 канал
- максимальная частота дискретизации 30 МГц
- интегральная линейность 12 бит
- время установления ЦАП не более 40 нс с точностью 0.1%
- восстанавливающий активный ФНЧ 2-го порядка $F_{ср} = 1$ МГц
- восстанавливающий пассивный ФНЧ высокого порядка $F_{ср} = 5, 7$ или 10.7 МГц
- выходное сопротивление буферного усилителя 50 Ом $\pm 1\%$
- максимальная амплитуда на нагрузке 50 Ом:
 - * при включенном пассивном ФНЧ ± 0.5 В
 - * при включенном активном ФНЧ ± 1 В

Потребляемые токи:

- не более 3.5А по цепи +5В (при установке 4 Гбайт памяти) (3.3В от преобразователя на плате)
- не более 4.5А по цепи +3,3В (при установке 4 Гбайт памяти) (3,3В от системного разъёма)
- не более 75 мА по цепи -12В

1.3 Конструктивные параметры

Размер платы БПн25-1216 _____ 310*122мм
 Максимальная высота элементов на плате с учетом DIMM _____ 25мм

1.4 Комплект поставки

- Плата БПн25-1216;
- Руководство пользователя;
- CD с программным обеспечением;
- Упаковочная коробка.

1.5 Меры предосторожности при транспортировке и эксплуатации изделия

- Транспортируйте и храните плату только в антистатической упаковке;
- Не допускайте разряда статического электричества на плату;
- Осторожно обращайтесь с платой, не допускайте значительного изгиба платы из-за возможности повреждения проводников и монтажа;
- Не допускайте воздействия ударных нагрузок на плату;
- Диапазон температур окружающей среды, в котором допустима работа устройства от +10°C до +40°C;
- Диапазон температур окружающей среды при хранении и транспортировке устройства от -30°C до +70°C;
- Охлаждённую плату не включайте до нагрева до температуры окружающей среды и полного испарения конденсата (росы);
- Перед началом работы внимательно прочитайте данное руководство и при необходимости установите конфигурацию базового модуля в соответствии с разд. 4.
- Плата предназначена для установки в компьютер с 32-разрядной шиной PCI с тактовой частотой до 33МГц
- Всегда **выключайте питание компьютера**, прежде чем:
 - ⇒ **устанавливать плату;**
 - ⇒ **извлекать плату;**
 - ⇒ **подключать разъемы к плате,**
- Прежде чем подключить к плате любые приборы (генератор, осциллограф, цифровой вольтметр и пр.), убедитесь в том, что их корпусные земли надежно соединены с корпусом компьютера.
- Не допускайте перегрузки выхода субмодуля низкоомной нагрузкой и ошибочного подключения выхода субмодуля к выходам других приборов и узлов.

2. УСТРОЙСТВО И РАБОТА ИЗДЕЛИЯ

2.1 Общая функциональная схема

В состав базового модуля AMBPCM входят следующие функциональные узлы:

- узел интерфейса ADM-Connect с разъемами для установки аналого-цифровых субмодулей типа ADMxxx;
- канал ЦАП с восстанавливающим фильтром для вывода широкополосных аналоговых сигналов и обеспечения тестирования субмодулей с буферной памятью типа FIFO до 16k 16-разрядных слов;
- узел программируемых напряжений для смещения шкал, управления коэффициентами передачи и установки порога срабатывания стартовых (тактовых) компараторов;
- узел синхронизации и управления, обеспечивающий запуск и остановку преобразования и формирование временных диаграмм трактов ввода и вывода в различных режимах, включает в себя контроллер памяти;
- узел памяти данных тракта ввода (4 слота SDRAM DIMM), включает также буферное FIFO тракта ввода (64 64-разрядных слов);
- универсальный 16-разрядный цифровой порт ввода/вывода (TTL) для управления внешними устройствами;
- узел системного интерфейса, обеспечивающий передачу данных и управление модулем по системной шине PCI.

Функциональная схема базового модуля приведена на Рис. 2-1, структура субмодуля показана условно. Общий вид модуля приведен на Рис. 4-1.

Условные обозначения на функциональной схеме:

MUX - мультиплексор, выбирающий источник сигналов для стартовых (тактовых) компараторов;

Комп.0 - стартовый компаратор 0;

Комп.1 - стартовый (тактовый) компаратор 1;

ЦАП - цифро-аналоговый преобразователь;

АЦП - аналого-цифровой преобразователь;

ФНЧ - восстанавливающий фильтр;

FIFO - буферная память с организацией FIFO.

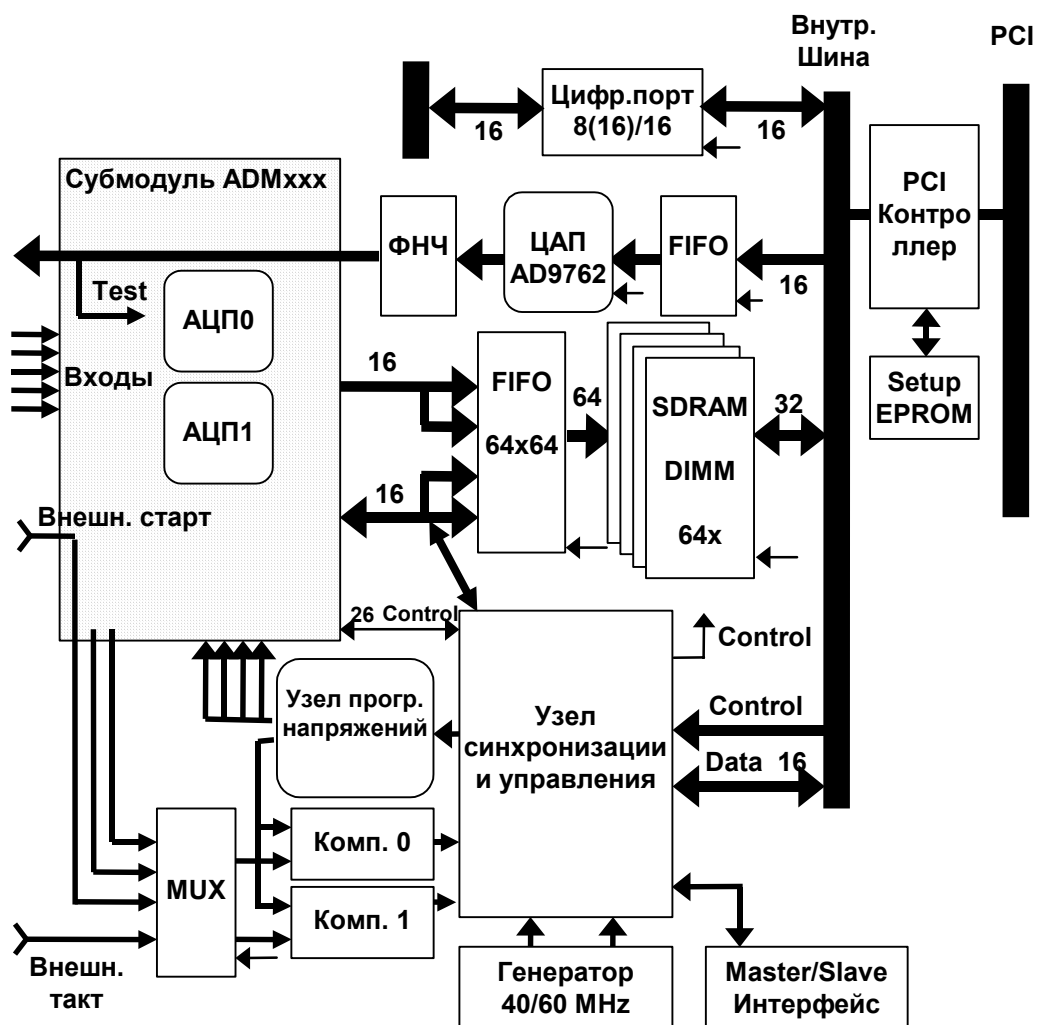


Рис. 2-1 Функциональная схема AMBPCM

2.2 Узел интерфейса ADM-Connect

Узел интерфейса ADM-Connect обеспечивает подключение к базовому модулю аналого-цифровых субмодулей типа ADMxxx. Узел включает разъемы для установки субмодуля и формирователь интерфейса субмодуля. В целом интерфейс ADM-Connect включает:

- 32-разрядную шину данных, разбитую на две 16-разрядных шины, с возможностью передачи данных от субмодуля в буферную память до 400Мбайт/с;
- шину управления (26 сигналов), конкретное назначение и временные диаграммы сигналов зависят от интерфейса конкретного субмодуля;
- до 6 аналоговых сигналов с узла программируемых напряжений;
- цепи питания (+5В, +3.3В, ±12В).

Формирователь интерфейса реализован на базе программируемой логики и обеспечивает требования интерфейса конкретного субмодуля, логическая конфигурация формирователя загружается программно во время инициализации базового модуля (см.п.4.5).

2.3 Узел синхронизации и управления

2.3.1 Тактирование

Формирование временных диаграмм работы модуля производится относительно тактовой частоты, источником которой является либо один из двух установленных на модуле кварцевых генераторов частотой 60МГц и 50МГц, либо сигнал внешнего генератора (КМОП, ТТЛ или ЭСЛ уровни) в диапазоне до 60МГц. В качестве источника тактовой частоты может также использоваться тактовая частота шины PCI. Сигнал внешнего генератора подается на разъем X4 (см. Рис. 4-1) и через мультиплексор выбора синхронизации MUX на вход компаратора 1 и далее на узел синхронизации и управления. Для визуального контроля формы сигнала и настройки порога компаратора выходной сигнал компаратора 1 выведен на контактную группу CLK (контакт S – сигнал, контакт G – земля) (см. Рис. 4-1).

Частота дискретизации АЦП программируется путем выбора источника тактовой частоты и задания коэффициента деления тактовой частоты. Диапазон изменения коэффициента деления тактовой частоты определяется типом субмодуля.

В части субмодулей, в основном высокочастотных, механизм формирования частоты дискретизации АЦП реализован непосредственно на субмодуле.

Частота дискретизации ЦАП программируется путем задания коэффициента деления тактовой частоты, значения коэффициента деления от 1 до 65536.

2.3.2 Стартовая синхронизация АЦП

Узел стартовой синхронизации предназначен для запуска и останова процесса аналого-цифрового преобразования в зависимости от внешних факторов (примером одного из режимов может служить ждущий режим развертки обычного осциллографа). Узел состоит из мультиплексора MUX, двух компараторов, двух 8-разрядных пороговых ЦАП и схемы логики, вырабатывающей собственно признак запуска и останова процесса.

Временная нестабильность срабатывания схемы стартовой синхронизации равна одному периоду частоты дискретизации АЦП при не синхронизированном сигнале запуска с тактовой частотой АЦП. Для исключения этой нестабильности необходимо использовать режим работы с внешней тактовой частотой и вне модуля привязывать запускающий сигнал к этой частоте. Постоянная задержка срабатывания схемы стартовой синхронизации обычно находится в пределах 10-20 нс.

В качестве сигналов старта/останова могут использоваться либо внешние сигналы с разъема X4 (см.п.4.3) или специального входа внешнего старта, либо сигналы с входных каналов АЦП. Диапазон сигналов на входах компараторов $\pm 2.5V$. Программно (в регистре режимов стартовой синхронизации) определяются положение МП (т.е. источник сигналов на компараторы 0 и 1), режимы старта и останова и полярность выходных сигналов компараторов. Также программно определяется напряжение порога, формируемое соответствующим пороговым ЦАП (см.п.2.4).

Мультиплексор может находиться в одном из следующих состояний:

- на вход Комп.0 подан сигнал внешнего старта, на вход Комп.1 - сигнал с разъема X4;
- на вход Комп.0 подан сигнал входного канала 0, на вход Комп.1 - сигнал с разъема X4;
- на вход Комп.0 подан сигнал входного канала 1, на вход Комп.1 - сигнал с разъема X4;
- на входы обоих компараторов подан сигнал входного канала 0.

Возможны следующие режимы старта/останова АЦП:

- программный режим, в этом случае запуск/останов преобразования определяется только записью "1" или "0" в бит разрешения АЦП основного регистра режимов;
- запуск/останов по сигналам от компараторов.

Различаются так называемые "потенциальный" и "триггерный" режимы запуска/останова: в "потенциальном" процесс ввода осуществляется только в то время, когда выбранный компаратор находится в требуемом состоянии ("0" или "1"), а в триггерном режиме старт и останов происходят по фронту на выбранном сигнале, причем для старта и останова могут быть выбраны различные сигналы.

Примечание: запись "0" в бит разрешения АЦП останавливает процесс ввода в любом из режимов, а старт возможен только после записи в этот бит "1".

Компараторы формируют сигнал логической "1" в случае превышения порогового уровня над входным сигналом и сигнал логического "0" при превышении входным сигналом порогового уровня.

В "потенциальном" режиме разрешающими уровнями являются уровни "1" на выходах компараторов, в "триггерном" режиме рабочим фронтом является переход сигналов на выходах компараторов из "0" в "1".

Для использования противоположных значений сигналов и фронтов предназначены соответствующие разряды в регистре режимов стартовой синхронизации, установка которых в "1" приводит к логической инверсии выбранных сигналов.

Модуль обеспечивает возможность сбора данных с "предысторией" (т.н. режим претриггера/посттриггера) с программируемым количеством отсчетов, собираемых после события старта. В этом режиме АЦП начинает работу как при программном старте, данные в компьютер не передаются, а непрерывно обновляются в кольцевом буфере, до наступления события старта, после чего собирается заданное число отсчетов и процесс ввода останавливается.

Примечание: Режим претриггера может быть включен *только* при режиме триггерного запуска.

2.3.3 Совместная работа нескольких модулей

Для создания синхронных многоканальных систем сбора данных предусмотрен механизм совместной работы нескольких плат в режиме Master/Slave (Ведущий/Ведомый). Режим Master/Slave применяется для синхронизации работы нескольких (до 4-х) плат БПн25-1216.

Платы устанавливаются в один компьютер или бокс расширения, соединяются между собой через разъемы синхронизации X2 (см. Табл. 2-1). Один из модулей программируется как Master, все остальные как Slave. Выходные сигналы синхронизации с ведущего модуля должны быть подключены к соответствующим входным сигналам ведомых модулей. Ведущий модуль раздает сигналы синхронизации АЦП и ЦАП на ведомые, при этом на всех модулях обеспечивается синхронная работа. Частоты дискретизации программируются только на ведущем модуле, а режимы работы трактов программируются на всех отдельно, причем для модулей с мультиплексированием необходимо устанавливать одинаковое число выбранных входов в каналах. При использовании режимов внешнего старта или внешней тактовой частоты внешние сигналы подаются только на Master.

Последовательность действий при программировании комплекса:

1. Все модули должны быть в исходном состоянии - Slave (проинициализированы ПЛИС, причем первым должен инициализироваться Master), АЦП и ЦАП запрещены.
2. На ведомых модулях программируется все, что необходимо, включая разрешение АЦП и/или ЦАП. Программирование делителя частоты дискретизации АЦП и режимов старта/останова не существенно, но **обязательно** должен быть выбран действующий источник тактовой частоты.
3. На Master`е выбирается режим синхронизации, устанавливается Master и остальные режимы, кроме разрешения АЦП.
4. Для модулей, требующих калибровки или сброса проводятся эти операции, порядок не важен.
5. На Master`е устанавливается разрешение АЦП.
6. Идет сбор данных.
7. Для синхронного останова останавливается сначала Master, при этом режим Master не выключается.
8. Проводятся необходимые действия по остановке остальных модулей, если требуется.

Примечания:

1. ЦАП несущего модуля может быть синхронизован с другими по частоте дискретизации в режиме синхронизации ЦАП от частоты дискретизации АЦП, по старту - в режиме синхронного старта с АЦП, в других режимах работа ЦАП не зависит от Master`а.

2. Модули с синхронизацией АЦП на субмодулях стандартный режим Master/Slave поддерживают только при синхронизации с несущего модуля, для них могут быть применены специфические методы организации синхронной работы.

Табл. 2-1 Разъем X2 Master/Slave

Контакт	Обозначение	Назначение цепи
1	GND	Земля
2	ENCOUT	Выход сигнала частоты дискретизации
3	GND	Земля
4	STRTOUT/	Выход сигнала старта преобразования
5	GND	Земля
6	GND	Земля
7	STR TIN/	Вход сигнала старта преобразования
8	GND	Земля
9	ENCIN	Вход сигнала частоты дискретизации
10	GND	Земля

2.4 Узел программируемых напряжений

Узел программируемых напряжений состоит из восьми 8-разрядных ЦАП и предназначен для формирования напряжений смещения шкал каналов АЦП, управления коэффициентами передачи (каналы ЦАП 3...8, выходы этих ЦАП заведены на субмодуль) и установки порогов срабатывания стартовых (тактовых) компараторов (ЦАП1 для Комп.0 и ЦАП2 для Комп.1). Выходное напряжение ЦАП в диапазоне $\pm 2.5\text{В}$ вычисляется по формуле: $2.5\text{В} * (D/128 - 1)$, где D - 8-битный код, записываемый в ЦАП. После включения модуля или аппаратного сброса все выходы ЦАП устанавливаются в состояние 0В.

2.5 Узел ЦАП

Базовый модуль AMBPCM имеет один канал ЦАП с буферной памятью типа FIFO до 16k 16-разрядных слов и с восстанавливающим фильтром, предназначенный для вывода широкополосных аналоговых сигналов и обеспечения тестирования субмодулей.

Предусмотрены четыре режима работы ЦАП, программируемые через основной регистр режимов:

- программный, при котором вывод нового значения в ЦАП производится сразу после записи слова данных в буфер ЦАП;
- автоматический с синхронизацией от базового модуля, при котором частота дискретизации ЦАП определяется делением тактовой частоты от выбранного генератора на базовом модуле либо от внешней тактовой частоты;
- автоматический синхронный с АЦП, при котором частота дискретизации ЦАП определяется делением частоты дискретизации АЦП;
- автоматический с синхронным стартом с АЦП, при котором частота дискретизации ЦАП определяется делением тактовой частоты от выбранного генератора на базовом модуле либо от внешней тактовой частоты, старт процесса вывода одновременно со стартом АЦП.

Коэффициент деления тактовой частоты программируется и может принимать значения от 1 до 65536.

Для буферной памяти ЦАП предусмотрены два режима работы - обычный режим и режим циклического вывода. В обычном режиме данные в буфер поступают с системной шины, в циклическом - буферная память однажды (до запуска канала) заполняется требуемыми данными (длина реализации не должна превышать размер памяти), а затем запускается ЦАП и память перебирается в бесконечном цикле - так называемый режим генератора. Режим генератора обеспечивает максимальную частоту вывода данных в ЦАП. Предварительная запись данных в FIFO ЦАП может производиться только при запрещающем значении бита разрешения ЦАП, причем если при этом установлен режим работы ЦАП «программный», то запись производится через регистр данных ЦАП, а если установлен любой другой режим - то через внутреннее FIFO контроллера PCI (см. п. 3.5).

Тракт вывода включает в себя кроме 14-разрядного ЦАП также буферный усилитель и восстанавливающий фильтр низкой частоты 2-го порядка с характеристикой Бесселя. Порядок фильтра может быть изменен до 3-го по требованию заказчика (также и частота среза и тип характеристики). Сигнал на выходе ФНЧ имеет инверсную фазу (сдвиг фазы -180°). Переключатель J5 осуществляет выбор между пассивным (замкнуты контакты 1-2) или активным (2-3) фильтрами. При не установленном пассивном фильтре в положении переключки 1-2 на выходной буфер подаётся не фильтрованный сигнал ЦАП.

Амплитуда выходного напряжения в пределах $\pm 10\%$ регулируется подстроечным резистором R30.

Сигнал с выхода фильтра может быть выведен как на разъем X4 (см.п.4.3), так и на субмодуль, если это предусмотрено его конструкцией.

2.6 Память данных

Память данных модуля предназначена для накопления данных АЦП, поступающих со скоростями, превосходящими пропускную способность системной шины.

Модуль предусматривает установку до четырёх SDRAM DIMM, общим объёмом до 4 Гбайт.

Примечание: Для создания единого массива памяти при количестве менее 4-х DIMM-модулей, они устанавливаются, начиная со слота номер 0. Установленные модули должны быть полностью совпадающей организации по числу адресных разрядов и банков, а также иметь класс быстродействия не ниже PC100.

Для обеспечения непрерывности потока данных в память, в состав узла входит 64-разрядное буферное FIFO. Данные, поступающие в память с ADM-Connect, могут иметь разрядность 32 либо 16, для эффективного использования памяти они упаковываются в 64-разрядные слова. Чтение данных из памяти производится 32-разрядными словами.

Доступ по чтению данных со стороны системной шины реализован в потоковом режиме, при этом возможно либо использование режима шины PCI «Мастер», либо программное чтение.

Предусмотрены два режима доступа к памяти по чтению: *автоматический* и *произвольный*.

Автоматический режим доступа обеспечивает начало передачи данных в системную шину сразу по завершении сбора данных. При этом в системную шину данные передаются последовательно начиная с начала активной зоны до её конца, а в претриггерном/посттриггерном режиме – начиная с текущего начала кольцевого буфера (в размере активной зоны) в случае его закольцовывания, в противном случае - с начала активной зоны. Скорость передачи данных – до 85 Мбайт/с.

Примечание: При продолжении процесса чтения данных по исчерпанию активной зоны указатель чтения данных переходит на начало активной зоны и чтение может продолжаться далее.

Произвольный режим доступа обеспечивает доступ к произвольному участку памяти независимо от процесса сбора данных и заданных параметров активной зоны. Для использования этого режима необходимо задать начальный адрес чтения и затем включить бит разрешения чтения, после чего данные будут передаваться последовательно в системную шину. Процесс сбора данных организуется точно так же, как и при установленном автоматическом режиме доступа. Максимальная скорость передачи данных в этом режиме несколько ниже (до 60 Мбайт/с), чем в автоматическом, и зависит также от темпа сбора данных, если чтение происходит на фоне сбора.

Для управления узлом памяти предназначена группа регистров, размещенных в дополнительном слое программируемых ресурсов модуля, доступ к которым открывается после записи «1» в 14-м разряде основного регистра режимов. Подлежат программированию следующие параметры (см. также п.3.8):

- режим доступа по чтению – произвольный или автоматический;
- начальный адрес активной зоны памяти, определяет размещение области памяти, в которую производится сбор данных, в общем массиве памяти;
- конечный адрес активной зоны памяти, не может превышать физический размер памяти, установленной на модуле;
- значение счетчика посттриггера, определяют количество собираемых данных после события при включенном режиме претриггера, может принимать нулевое значение;
- начальный адрес чтения (только для произвольного режима доступа);
- параметры, характеризующие организацию модулей памяти, определяются либо чтением конфигурационной ПЗУ (SPD ROM) на модулях (см.п.3.8.1), либо задаются вручную при отсутствии SPD ROM.

В зависимости от выбранных режимов стартовой синхронизации АЦП реализованы следующие алгоритмы работы узла памяти данных:

- сбор данных в режиме программного старта/останова осуществляется с момента разрешения до заполнения активной зоны или программного останова АЦП;
- сбор данных в режиме программного старта и внешнего останова осуществляется с момента разрешения до заполнения активной зоны или прихода внешнего события или программного останова АЦП;
- сбор данных в режиме внешнего старта и внешнего останова осуществляется с момента прихода внешнего события старта до останова (с возможными повторами старта-останова) до заполнения активной зоны или программного останова АЦП;
- сбор данных в режиме претриггера/посттриггера осуществляется с момента разрешения до прихода внешнего события старта в режиме циклического буфера в объеме активной зоны и затем продолжается до исчерпания счетчика посттриггера или программного останова АЦП.

Реально собранное количество данных (по модулю размера активной зоны) с точностью до 32-разрядного слова после остановки процесса сбора может быть определено считыванием соответствующих регистров, наличие перехода через границу активной зоны в режиме претриггера определяется состоянием разряда 3 регистра статуса.

Перед началом работы с модулем необходимо установить корректные значения полей регистра конфигурации контроллера памяти (см.п.3.8.2) и выполнить команду инициализации блока памяти (запись в регистр конфигурации с 13-м битом, установленным в 1).

Примечание: При установленном в «1» 1-м бите регистра состояния контроллера памяти нет необходимости выполнять команду инициализации блока памяти.

Перед каждым стартом процесса сбора данных необходимо выполнить команду сброса в исходное состояние ресурсов памяти данных (запись в основной регистр режимов с 9-м битом, установленным в 1), причем предварительно должна быть выполнена команда останова сбора данных (снято разрешение АЦП).

При не установленном пассивном фильтре в положении переключки 1-2 на выходной буфер подаётся не фильтрованный сигнал ЦАП.

2.7 Цифровой порт ввода/вывода

Табл. 2-2 Разъем X3 цифрового порта ввода/вывода

Контакт	Обозначение	Назначение цепи
1	PIO0	цифровой порт ввода/вывода разряд 0
2	PIO1	цифровой порт ввода/вывода разряд 1
3	PIO2	цифровой порт ввода/вывода разряд 2
4	PIO3	цифровой порт ввода/вывода разряд 3
5	PIO4	цифровой порт ввода/вывода разряд 4
6	PIO5	цифровой порт ввода/вывода разряд 5
7	PIO6	цифровой порт ввода/вывода разряд 6
8	PIO7	цифровой порт ввода/вывода разряд 7
9	PIO8	цифровой порт ввода/вывода разряд 8
10	PIO9	цифровой порт ввода/вывода разряд 9
11	PIO10	цифровой порт ввода/вывода разряд 10
12	PIO11	цифровой порт ввода/вывода разряд 11
13	PIO12	цифровой порт ввода/вывода разряд 12
14	PIO13	цифровой порт ввода/вывода разряд 13
15	PIO14	цифровой порт ввода/вывода разряд 14
16	PIO15	цифровой порт ввода/вывода разряд 15
17	GND	Общий
18	PIOWR/	строб цифрового порта вывода
19	PIORD/	строб цифрового порта ввода
20	GND	Общий
21	USYNC0	Резерв (программируемый сигнал 0)
22	GND	Общий
23	USYNC1	Резерв (программируемый сигнал 1)
24	GND	Общий
25	USYNC2	Резерв (программируемый сигнал 2)
26	GND	Общий

Цифровой порт ввода/вывода представляет собой 16 двунаправленных TTL - сигналов, выведенных на разъем X3 (Табл. 2-2). На вывод порт может работать в трех режимах: нет вывода, 8-разрядный регистр (линии PIO[0..7]) или 16-разрядный регистр (линии PIO[0..15]). Режим порта устанавливается в основном регистре режимов (см.п.3.2), после программирования ПЛИС или аппаратного сброса порт устанавливается в состояние "ввод 16-бит, нет вывода". Данные в выходном регистре защелкиваются по нарастающему фронту сигнала записи, строб записи (PIOWR/) также выведен на разъем X3, в качестве регистра используются микросхемы 74FCT2574.

Все линии порта (PIO[0..15]) заведены на входной буфер. В качестве буфера использованы микросхемы 74FCT2245, строб чтения порта (PIORD/) выведен на разъем X3.

Стробы чтения и записи представляет собой импульсы 0-го уровня, фиксация данных происходит по перепаду из "0" в "1".

2.8 Системный интерфейс

Модуль AMBPCM предназначен для работы в составе компьютеров с 32-разрядной 5-вольтовой системной шиной PCI с тактовой частотой до 33МГц. В качестве контроллера шины применена микросхема AMCC S5933Q (S5935Q).

Контроллер позволяет передавать данные в режиме Bus Master с максимальной производительностью шины (до 120 Мбайт/с). Максимальная скорость чтения данных из блока памяти составляет до 30 Мбайт/с, вывода данных в ЦАП – 60 Мбайт/с.

Программируемые ресурсы модуля занимают 64 байта в адресном пространстве ввода/вывода. Значащими разрядами для регистров режимов, регистра состояния и данных ЦАП являются 16 младших разрядов 32-разрядного слова, данные АЦП - 32-разрядные. В режиме Bus Master или потоковом данные ЦАП также 32-разрядные. Программирование режимов работы изделия осуществляется путем вывода соответствующих кодов в регистры модуля, а обмен данными АЦП и ЦАП может осуществляться как в режиме прямого доступа к памяти (Bus Master), так и в программном режиме. Текущее состояние модуля может быть доступно программе чтением регистра состояния.

Режим Bus Master обеспечивается контроллером PCI.

Программный режим обмена рекомендуется организовывать с помощью потокового ввода/вывода. При этом следует использовать не адреса данных АЦП и ЦАП, приведенные в Табл. 2-2, а адреса внутреннего FIFO контроллера PCI, источником запроса на передачу должно быть содержимое регистра состояния. Следует иметь в виду, что максимальная скорость передачи данных в этом режиме не превышает 10 Мбайт/с.

По причине высокой сложности обеспечения работоспособности PCI-устройств, а тем более достижения максимальных параметров быстродействия, в настоящем описании не приводятся материалы по взаимодействию HOST-процессора с контроллером PCI. В связи с этим настоятельно рекомендуется на уровне взаимодействия с устройством использовать поставляемое Разработчиком программное обеспечение.

3. ПРОГРАММИРУЕМЫЕ РЕСУРСЫ БАЗОВОГО МОДУЛЯ

3.1 Общая характеристика

Программируемые ресурсы системы, состоящей из базового модуля вместе с установленным submodule, состоят из двух частей: постоянной, общей для всех систем и представляющей ресурсы базового модуля и общие ресурсы всех submodule, и специфической, представляющей ресурсы конкретного submodule или группы submodule.

Программируемые ресурсы системы занимают 64 ячейки в адресном пространстве ввода/вывода, перечень ресурсов базового модуля приведен в Табл. 3-1, в следующих разделах эти ресурсы описаны. Описание программируемых ресурсов конкретных submodule, а также особенности использования ресурсов базового модуля приведены в документации на submodule.

Все ресурсы 32-разрядные, действительными для всех ресурсов (кроме данных АЦП и ЦАП - см.п.3.5) являются 16 младших разрядов. Адреса регистров указаны относительно базового адреса пространства BADR1, определяемого в процедуре конфигурирования устройств PCI Plug&Play. Для нахождения модуля необходимо знать DeviceID - 0x4d23, и VendorID - 0x4953.

Часть программируемых ресурсов, относящаяся к ресурсам контроллера памяти, расположена в дополнительном адресном пространстве, доступ к которому осуществляется при установленном в «1» 14-м бите основного регистра режимов. Сам регистр режимов доступен по 0-му адресу при любой установке 14-го бита. Регистры дополнительного адресного пространства в Табл. 3-1 помечены символом (II).

В таблице указан также тип разрешенных обращений к ячейкам: "wr" - только запись, "rd" - только чтение, "wr/rd" - и чтение и запись.

Примечание: При записи в любые регистры незадействованные разряды или обозначенные как "резерв" должны быть нулевыми.

По причине высокой сложности обеспечения работоспособности PCI-устройств, а тем более достижения максимальных параметров быстродействия, в настоящем описании не приводятся материалы по взаимодействию HOST-процессора с контроллером PCI. В связи с этим настоятельно рекомендуется на уровне взаимодействия с устройством использовать поставляемое Разработчиком программное обеспечение.

Табл. 3-1 Программируемые ресурсы базового модуля

Адрес	Наименование ресурса
0 wr	Основной регистр режимов
0 rd	Регистр состояния
4 wr	Регистр режимов стартовой синхронизации АЦП
8 wr	Регистр частоты дискретизации АЦП
12 wr	Регистр частоты дискретизации ЦАП
16 wr	Данные ЦАП
16 rd	Входные данные (данные АЦП)
20 wr	Установка ЦАП программируемых напряжений
24 wr/rd	Цифровой порт ввода/вывода
4 wr(II)	Регистр конфигурации контроллера памяти
8 wr(II)	Конечный адрес активной зоны (младшее слово)

12 wr(II)	Конечный адрес активной зоны (старшее слово)
16 wr(II)	Начальный адрес активной зоны (младшее слово)
20 wr(II)	Начальный адрес активной зоны (старшее слово)
24 wr(II)	Счетчик посттриггера (младшее слово)
28 wr(II)	Счетчик посттриггера (старшее слово)
32 wr(II)	Начальный адрес чтения (младшее слово)
36 wr(II)	Начальный адрес чтения (старшее слово)
40 wr(II)	Регистр команд управления SPD ROM
4 rd(II)	Регистр состояния контроллера памяти
8 rd(II)	Реально собранное количество данных (младшее слово)
12 rd(II)	Реально собранное количество данных (старшее слово)
16 rd(II)	Регистр данных SPD ROM

3.2 Основной регистр режимов

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.
Смещение относительно базового адреса - 0.

Разряды	Назначение
0	1 - модуль является ведущим (Master), 0 - подчиненным (Slave)
2,1	режим цифрового порта ввода/вывода: <ul style="list-style-type: none"> • 11 - ввод 16 бит, вывод 16 бит • 01 - ввод 16 бит, вывод 8 бит • 00 - ввод 16 бит, нет вывода
4,3	режим синхронизации ЦАП: <ul style="list-style-type: none"> • 00 - асинхронный(программный) • 01 - синхронизация от генератора базового модуля • 10 - синхронизация от частоты дискретизации АЦП • 11 -синхронизация от генератора базового модуля, старт синхронно с АЦП
5	1 - циклический режим ЦАП (режим генератора)
6	1 - сброс FIFO ЦАП и флага опустошения буфера
7	1 - разрешение ЦАП (программный старт)
8	1 - разрешение АЦП (программный старт)
9	1 - сброс ресурсов памяти в исходное состояние (содержимое памяти не изменяется)
10	1 - программный сброс субмодуля
12,11	источник тактовой частоты на базовом модуле: <ul style="list-style-type: none"> • 00 - генератор 0 (60МГц) • 01 - генератор 1 (50МГц) • 10 - тактовая частота PCI • 11 - внешняя частота
13	1 - источник тактовой частоты на субмодуле 0 - источник тактовой частоты определяется разр. 11,12
14	1 - включить доступ к дополнительному адресному пространству
15	1 - включить режим тестирования памяти

3.3 Регистр режимов стартовой синхронизации АЦП

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.
Смещение относительно базового адреса - 4.

Разряды	Назначение
1,0	режим мультиплексора компараторов: <ul style="list-style-type: none"> • 00 - на вход Комп.0 подан сигнал внешнего старта, на вход Комп.1 - сигнал с разъема X4; • 01 - на вход Комп.0 подан сигнал входного канала 0, на вход Комп.1 - сигнал с разъема X4; • 10 - на вход Комп.0 подан сигнал входного канала 1, на вход Комп.1 - сигнал с разъема X4; • 11 - на входы обоих компараторов подан сигнал входного канала 0
2	1 - режим претриггера
3	1 - триггерный старт
4	1 - инверсия сигнала от комп.0
5	1 - инверсия сигнала от комп.1
7,6	режим старта АЦП: <ul style="list-style-type: none"> • 00 - программный • 01 - от комп.0 • 10 - от комп.1 • 11 - резерв
9,8	режим останова при триггерном старте: <ul style="list-style-type: none"> • 00 - программный • 01 - от комп.0 • 10 - от комп.1 • 11 - резерв
15..10	резерв

3.4 Регистры частоты дискретизации АЦП и ЦАП

Состояние после перепрограммирования ПЛИС - 0.
Смещение относительно базового адреса - 8 для АЦП и 12 для ЦАП.

Значения этих регистров задают коэффициенты деления тактовой частоты для формирования частот дискретизации ЦАП и АЦП. Разрядность делителя АЦП - 12 или 16 бит (в зависимости от субмодуля), ЦАП - 16 бит, данные занимают разряды 0..12 и 0..15 слова соответственно. Возможные коэффициенты деления - от 1 (код 0001h) до 4096 (код 1000h) или 65536(код 0000h).

3.5 Входные данные и данные ЦАП

Смещение относительно базового адреса - 16.

Входные данные (данные АЦП) и данные ЦАП - 16-разрядные, в дополнительном коде, выровненные по старшему биту независимо от разрядности модуля. При работе в режиме Bus Master или в режиме потокового ввода-вывода через внутреннее FIFO контроллера PCI данные упакованы в 32-разрядные слова по два отсчета. При непосредственной записи данных ЦАП по адресу значащими

являются только 16 младших разрядов, данные АЦП непосредственным чтением по адресу не доступны.

Запись данных ЦАП по адресу регистра данных возможна только при установленном в основном регистре режимов режиме синхронизации ЦАП «программный», во всех остальных режимах ЦАП - только через внутреннее FIFO контроллера PCI.

Соответствие кодов напряжению приведено в Табл. 3-2. В таблице для данных ЦАП приведены коды без учета инверсии фазы восстанавливающим ФНЧ.

При разрядности АЦП менее 16 незадействованные младшие разряды обычно нулевые, но часть субмодулей позволяет вводить в младшие незадействованные разряды биты окраски входных данных, например: признак начала блока или номер канала. Поэтому желательно программное маскирование незадействованных разрядов входных данных.

Табл. 3-2

Двоичный код	$U_{\text{ВЫХ}} \text{ ЦАП}$	$U_{\text{ВХ}} \text{ АЦП}$
1000 0000 0000 0000	$-U_{\text{ВЫХ}} \text{ max}$	$-U_{\text{ВХ}} \text{ max}$
1111 1111 1111 1111	-LSB	-LSB
0000 0000 0000 0000	0	0
0000 0000 0000 0001	LSB	LSB
0111 1111 1111 1111	$+U_{\text{ВЫХ}} \text{ max}$	$+U_{\text{ВХ}} \text{ max}$

3.6 Регистр ЦАП программируемых напряжений

Смещение относительно базового адреса - 20.

После аппаратного сброса все ЦАП устанавливаются в значение 0В.

Примечание: передача данных в ЦАП связана с параллельно-последовательным преобразованием и поэтому запись в этот регистр необходимо производить только при разрешающем значении (1) бита готовности ЦАП в регистре статуса.

Разряды	Назначение
7...0	данные ЦАП
11...8	адрес(номер) ЦАП (1..8)

Результирующее напряжение на выходе ЦАП определяется по формуле: $2.5V \cdot (D/128 - 1)$, где D - код, записываемый в соответствующий ЦАП.

3.7 Регистр состояния

Смещение относительно базового адреса - 0.

Разряды	Назначение
0	1 - готовность канала ЦАП программируемых напряжений
1,5,8	1 - готовность входных данных (завершение сбора данных)
2	1 - готовность данных ЦАП (буфер ЦАП не полный)
3	1 - наличие перехода через границу активной зоны памяти в режиме претриггера
4	1 - недогрузка буфера ЦАП
6	1 - освобождение половины FIFO ЦАП
7	резерв
9	0 - готовность входных данных (завершение сбора данных)
10	1 - FIFO ЦАП не пусто
11	резерв
12	Выход компаратора 0
13	Выход компаратора 1
14	резерв
15	резерв

Разряды 1,5,8,9 отражают состояние готовности данных АЦП, которое заключается в завершении процесса ввода данных в память. Все флаги изменяются одновременно, их избыточное количество обусловлено необходимостью программной совместимости с несущими модулями без памяти. Сбрасываются в исходное состояние по команде сброса ресурсов памяти (9-й бит основного регистра режимов).

Флаг недогрузки буфера ЦАП означает передачу данных в ЦАП из полностью опустошенного буфера. Этот флаг, появившись однажды, запоминается и сбрасывается только при прохождении команды сброса FIFO ЦАП. Все остальные флаги отражают текущее состояние ресурсов.

3.8 Программируемые ресурсы узла памяти данных

3.8.1 Определение конфигурации памяти

Для работы с SPD ROM служат регистры команд управления (SPDM) и данных (SPDR). Через SPDM подаётся команда, через регистр SPDR (разряды 7..0) считывается побайтно информация. Доступ в конкретной последовательности команд осуществляется только к одному слоту, номер выбранного слота задаётся в поле команды. Структура используемых команд приведена в Табл. 3-3. Запись команды возможна только при установленном в 1 бите готовности SPD (в регистре состояния контроллера памяти). Завершение команды чтения определяется также по 1 в этом бите, после чего возможно считывание содержимого байта SPD из регистров SPDR.

Чтение содержимого памяти SPD возможно двумя способами: чтение последовательности байт, или чтение конкретного байта. Общий объём памяти SPD 128 байт.

Алгоритм выдачи команд для последовательного доступа:

1. Команда записи 1010xxx0 с признаком старта, xxx – номер слота
2. Команда записи адреса (n), n=0..127
3. Команда записи 1010xxx1 с признаком старта, xxx - номер слота
4. Команда чтения байта n
5. Команда чтения байта n+1
6.
7. Команда чтения последнего байта последовательности с признаком стопа.

Алгоритм выдачи команд для произвольного доступа:

1. Команда записи 1010xxx0 с признаком старта, xxx – номер слота
2. Команда записи адреса (n), n=0..127
3. Команда записи 1010xxx1 с признаком старта, xxx - номер слота
4. Команда чтения байта n с признаком стопа.

Табл. 3-3 Формат регистра SPDRM

Разр. SPDRM	Назначение
0	1 – команда записи содержит признак старта 0 – не содержит
1	1 – команда чтения содержит признак стопа 0 – не содержит
2	1 – команда записи 0 – команда чтения
7..3	резерв, всегда 0
15..8	тело команды записи, определяется в соответствии с DS 24xx52 (предполагаемые последовательности команд приведены в тексте), разряды 11,10,9 – номер слота.

3.8.2 Регистр конфигурации контроллера памяти

Состояние после перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 4 (дополнительное адресное пространство).

Разряды	Назначение
0	режим чтения: 0 – автомат, 1 – произвольный.
2,1	число занятых слотов
5..3	число разрядов адреса строк (SPD, байт 3) (Допустимый ряд – 11...14, значение поля = x-8)
8..6	число разрядов адреса столбцов (SPD, байт 4) (Допустимый ряд – 8...13, значение поля = x-8)
9	число банков модуля: 0 – 1 банк, 1 – 2 банка. (SPD, байт 5)
10	число банков SDRAM: 0 – 2 банка, 1 – 4 банка. (SPD, байт 17)
12,11	резерв
13	1 – команда инициализации памяти
14	1 – разрешение доступа по чтению в произвольном режиме
15	1 – блокировка памяти, работа через FIFO

3.8.3 Регистр начального адреса активной зоны

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 16 (младшее слово), 20 (старшее слово), дополнительное адресное пространство.

Указывает начальный адрес буфера (в 32-разрядных словах), в который производится сбор данных, и из которого данные читаются в автоматическом режиме. Не может превышать реальный объем памяти на модуле. Начальный адрес буфера должен быть кратен 64 словам.

3.8.4 Регистр конечного адреса активной зоны

Состояние после аппаратного сброса или перепрограммирования ПЛИС – 0xFFFFFFFF.

Смещение относительно базового адреса – 8 (младшее слово), 12 (старшее слово), дополнительное адресное пространство.

Указывает конечный адрес буфера (в 32-разрядных словах), в который производится сбор данных, и из которого данные читаются в автоматическом режиме. Не может превышать реальный объем памяти на модуле. Значение конечный адрес буфера плюс 1 должно быть кратно 64 словам.

3.8.5 Регистр счетчика посттриггера

Состояние после перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 24 (младшее слово), 28 (старшее слово), дополнительное адресное пространство.

Указывает количество 32-разрядных слов данных, которое будет собрано после внешнего события в претриггерном режиме. Может принимать значение 0, и не может быть больше размера активной зоны. Значение счетчика посттриггера должно быть кратно 2 словам.

3.8.6 Регистр начального адреса чтения

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 32 (младшее слово), 36 (старшее слово), дополнительное адресное пространство.

Указывает адрес 32-разрядного слова данных, начиная с которого будут считываться данные в произвольном режиме доступа. Имеет значение только в режиме произвольного чтения.

3.8.7 Реально собранное количество данных

Смещение относительно базового адреса (чтение) – 8 (младшее слово), 12 (старшее слово), дополнительное адресное пространство.

Значением регистра является адрес следующего за последним собранным слова данных в 32-разрядных словах. При останове процесса сбора по заполнению активной зоны указывает на начальный адрес активной зоны. Чтение регистра до остановки процесса сбора возможно, но может дать некорректный результат.

3.8.8 Регистр состояния контроллера памяти

Смещение относительно базового адреса (чтение) – 4, дополнительное адресное пространство.

Разряды	Назначение
0	1 – разрешена выдача команды на SPD ROM 0 – запрещена выдача команды на SPD ROM
1	1 – память находится в инициализированном состоянии 0 – память находится в неинициализированном состоянии

4. УСТАНОВКА КОНФИГУРАЦИИ МОДУЛЯ

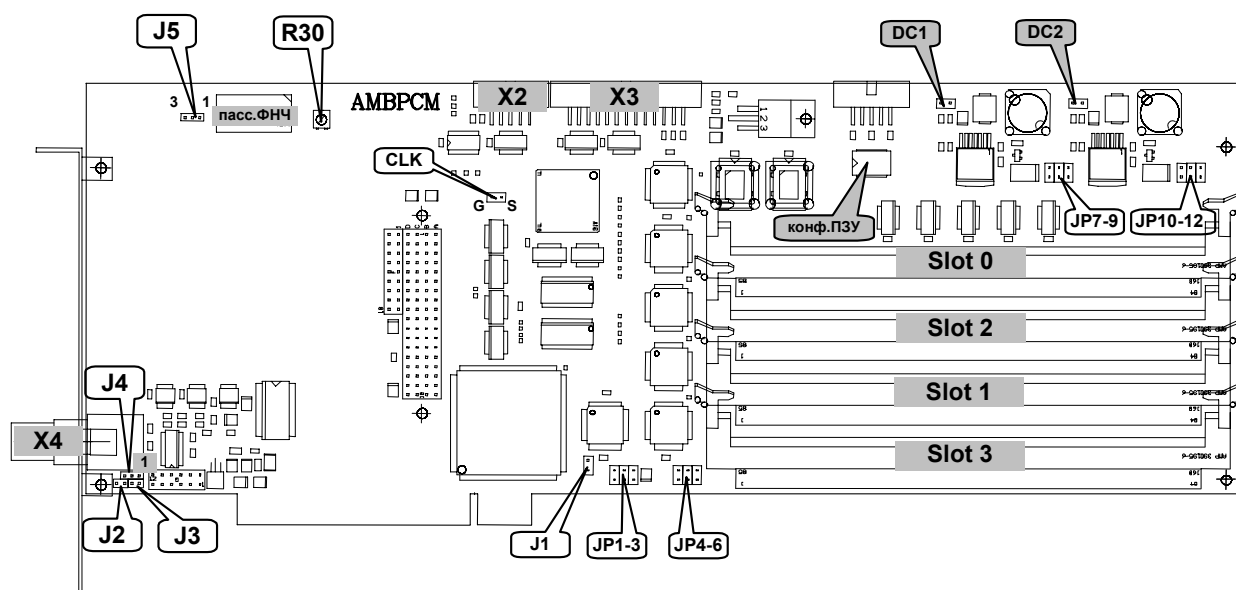


Рис. 4-1 Общий вид модуля AMBPCM

4.1 Входное сопротивление входов внешней синхронизации

Входное сопротивление входов внешней синхронизации устанавливается с помощью перемычек, как показано в Табл. 4-1.

Табл. 4-1 Входное сопротивление входов внешней синхронизации

Джампер	Состояние	Характеристика
J3	замкнут разомкнут	Входное сопротивление входа внешнего старта 50 Ом Входное сопротивление входа внешнего старта 10 кОм
J2	замкнут разомкнут	Входное сопротивление входа внешнего такта 50 Ом Входное сопротивление входа внешнего такта 10 кОм

4.2 Подключение ФНЧ ЦАП

Перемычка J5 осуществляет выбор между пассивным (замкнуты контакты 1-2) или активным (2-3) восстанавливающими фильтрами. В случае отсутствия пассивного ФНЧ в положении перемычки 1-2 на выходной буфер подаётся незафильтрованный сигнал ЦАП.

4.3 Использование разъема X4

Разъем X4 модуля может использоваться либо для вывода сигнала с ЦАП, либо как входной разъем для внешней синхронизации, в зависимости от установки джампера J4, как показано в Табл. 4-2.

Табл. 4-2 Использование разъема X4

Джампер	Состояние	Характеристика
J4 1-2	замкнут	На разъеме X4 выходной сигнал ЦАП
J4 2-3	замкнут	Разъем X4 используется как входной сигнал внешней синхронизации

4.4 Выбор напряжения питания 3,3В

Внутренние схемы модуля, а также модули SDRAM питаются напряжением 3,3В, которое может быть взято либо с системного разъема шины PCI, либо вырабатываться на самом модуле конвертерами из 5В. Источник выбирается с помощью перемычек в соответствии с Табл. 4-3.

Табл. 4-3 Питание 3,3В

Перемычка	Состояние	Характеристика
DC1 JP7-9 JP1-3	замкнута разомкнуты замкнуты	Питание 3,3В на внутренние схемы и SDRAM слоты 0 и 1 подаётся с системного разъема PCI
DC1 JP7-9 JP1-3	разомкнута замкнуты разомкнуты	Питание 3,3В на внутренние схемы и SDRAM слоты 0 и 1 подаётся с конвертера 5В/3,3В
DC2 JP10-12 JP4-6	замкнута разомкнуты замкнуты	Питание 3,3В на и SDRAM слоты 2 и 3 подаётся с системного разъема PCI
DC2 JP10-12 JP4-6	разомкнута замкнуты разомкнуты	Питание 3,3В на и SDRAM слоты 2 и 3 подаётся с конвертера 5В/3,3В

4.5 Загрузка конфигурации программируемых логических схем

Так как в состав модуля входят программируемые логические схемы (ПЛИС), перед работой с модулем необходимо загрузить их конфигурацию, причем для разных субмодулей эта конфигурация может быть разной. Загрузка конфигурации должна быть проведена как минимум один раз после подачи питания на модуль, допускается многократная повторная загрузка той же или другой конфигурации.

Файл программирования конфигурации имеет типовое расширение **.hex**, имя файла обычно составляется следующим образом: **D1240mVV**, где **D** - обозначение несущего модуля (AMBPCM), **1240m** – буквенно-цифровое обозначение субмодуля, **VV** - номер версии (или модификации).

Утилита AMBPLD.EXE производит загрузку файла конфигурации в ПЛИС модуля. Это программа DOS, она имеет следующий формат вызова:

Ambpld.exe [<имя файла программирования>] [<номер платы>]

При запуске программы без параметров выдается список всех обнаруженных АМВРСМ-модулей с указанием типов плат, условных номеров плат и базовых адресов пространства программирования. Для загрузки конфигурации при запуске программы нужно указать номер платы в соответствии с полученным списком, по умолчанию загрузка ПЛИС производится в плату с номером 0. Платы нумеруются в порядке возрастания номера слота PCI. Номера слотов PCI обычно возрастают в позициях от процессора к краю материнской платы компьютера, но это требует выяснения для конкретной материнской платы.

Примечание: При использовании программной оболочки ISVI или штатных драйверов модуля загрузка конфигурации ПЛИС вышеописанным способом не требуется.

В случае необходимости загрузка конфигурации ПЛИС может производиться из конфигурационной ПЗУ (EPROM). Для включения такого режима загрузки необходимо установить перемычку J1, при этом загрузка конфигурации ПЛИС будет происходить автоматически после включения питания, перезагрузка конфигурации программным способом будет невозможна. В стандартной поставке конфигурационная ПЗУ не предусмотрена.

5. УСТРОЙСТВО И РАБОТА СУБМОДУЛЯ ADM212x40M

5.1 Общая функциональная схема

Субмодуль аналогового ввода **ADM212x40M**, функциональная схема которого приведена на Рис. 5-1, состоит из следующих основных узлов:

- Два тракта ввода аналоговых сигналов, каждый из которых включает в себя:
 - входной мультиплексор 8 в 1;
 - программируемый усилитель (с коэффициентами передачи 1, 2, 4 и 8);
 - схему обеспечения программируемого грубого смещения на полную входную шкалу преобразования и программируемого точного смещения на $\pm 1\%$ полной входной шкалы преобразования;
- 12-разрядные АЦП (максимальная частота дискретизации 40 МГц).
- Входной разъем **X1** для аналоговых сигналов, подаваемых на входы мультиплексоров, а также для выходного сигнала с узла ЦАП несущего модуля. Также на входной разъем **X1** поступает сигнал внешнего старта процесса ввода, который затем поступает на стартовый компаратор, расположенный на несущем модуле (см. Рис. 2-1).
- Источник опорного и смещающего напряжения, причем источник смещения может быть (установка резисторов с другими номиналами) адаптирован к любой «заказной» шкале преобразования.
- Разъем межмодульного интерфейса **ADM-Connect** для подсоединения к несущему модулю.

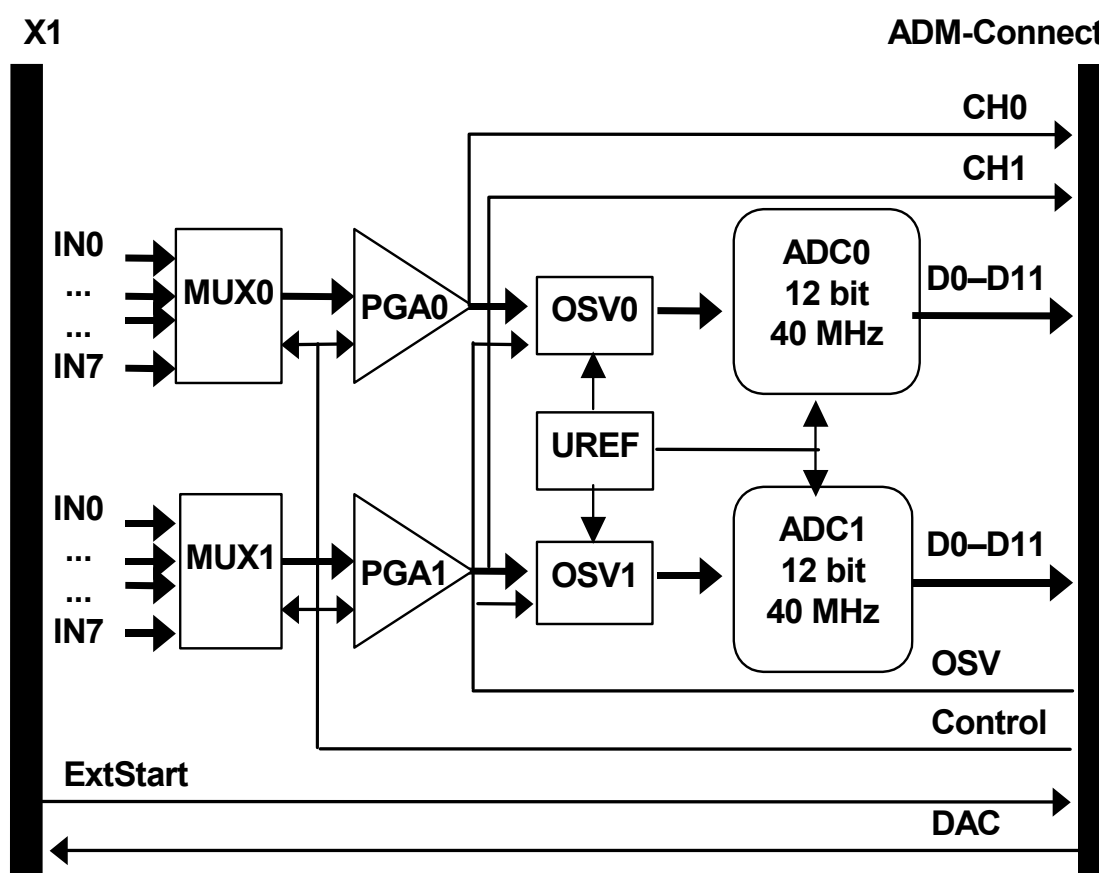


Рис. 5-1. Функциональная схема субмодуля ADM212x40M.

Условные обозначения на функциональной схеме:

X1 - разъем внешних аналоговых сигналов;

IN0...IN7 - входные аналоговые сигналы;

MUX0, MUX1 - входные мультиплексоры аналоговых сигналов 8 в 1;

PGA0, PGA1 - программируемые усилители;

OSV0, OSV1 - схемы смещения каналов;

ADC0, ADC1 - 12-разрядные АЦП с максимальной частотой дискретизации 40МГц;

CH0, CH1 - сигналы с выходов усилителей, используемые для внутреннего старта;

OSV - напряжения смещения шкалы для грубой и точной подстройки нуля (256 уровней);

UREF - источник опорного напряжения и смещающего напряжения;

Control - шина управления;

ExtStart - входной сигнал для внешнего старта;

DAC - сигнал с выхода ЦАП, который находится на несущем модуле;

ADM-Connect - разъем межмодульного интерфейса.

5.2 Тракт ввода аналогового сигнала

5.2.1 Входной мультиплексор

Мультиплексор **MUX0** опрашивает 8 входных аналоговых линий **0IN0...0IN7**; **MUX1** опрашивает 8 других аналоговых линий **1IN0...1IN7**. Входное сопротивление по каждому входу 10 кОм $\pm 1\%$; входная емкость по каждому входу – 6 пФ (без учета емкости соединительных кабелей). Порядок опроса входов и коэффициенты усиления изменяются программно. Максимальная скорость мультиплексирования (10 МГц) достигается при коэффициенте передачи 1.

5.2.2 Усилители

Аналоговые сигналы с мультиплексоров **MUX0, MUX1** поступают на входы программируемых усилителей **PGA0, PGA1** (коэффициенты передачи $k=1, 2, 4, 8$).

Усиленные сигналы поступают на соответствующие схемы **OSV0, OSV1**, которые осуществляют дифференциальную подачу сигнала на входы АЦП, выполняют сдвиг уровня на $\frac{1}{2}$ от полной шкалы преобразования (это необходимо потому, что АЦП имеют однополярное питание). Эти схемы также реализуют (с помощью 8-битных ЦАП, находящихся на несущем модуле) функцию программируемого смещения нуля в двух диапазонах - грубом (диапазон подстройки - полная шкала) и точном (диапазон подстройки $\pm 1\%$ полной шкалы).

Выходы схемы смещения **OSV0** и **OSV1** подключаются к входам **ADC0** и **ADC1** соответственно.

Сигналы с выходов усилителей также передаются на узел стартовой синхронизации базового модуля.

5.3 Тракт вывода аналоговых сигналов

Сигнал от высокоскоростного ЦАП транслируется от разъема **ADM-Connect** к разъему **X1**. Параметры и характеристики канала вывода приведены в разделах 1.2 и 2.5.

5.4 Взаимодействие субмодуля с источниками сигналов

5.4.1 Предварительные замечания

Если работа изделия сопряжена с источниками сигналов, удаленными на расстояние более 2-3м, или происходит в условиях сильных электромагнитных помех, которые могут быть вызваны повышенным излучением монитора, видеоконтроллера, компьютерного источника питания, токовых контуров и пр., возможно ухудшение качественных характеристик модуля.

Изготовитель оставляет за собой право вносить в изделие незначительные изменения без отражения в руководстве.

5.4.2 Подключение субмодуля к типовым источникам сигналов

Для подключения к модулю источников аналоговых сигналов и других внешних цепей служит 25-контактный разъем типа DSUB25 (розетка) **X1** на торцевой стороне платы, описание которого приводится в Табл. 5-1.

Табл. 5-1 Распределение сигналов по контактам разъема X1

Контакт	Обозначение	Назначение цепи
1	GNDA	Аналоговая земля
2	0IN0	вход 0 канала АЦП 0
3	0IN2	вход 2 канала АЦП 0
4	0IN4	вход 4 канала АЦП 0
5	0IN6	вход 6 канала АЦП 0
6	GNDA	Аналоговая земля
7	1IN1	вход 1 канала АЦП 1
8	1IN3	вход 3 канала АЦП 1
9	1IN5	вход 5 канала АЦП 1
10	1IN7	вход 7 канала АЦП 1
11	GNDA	Аналоговая земля
12	DAC	Выход ЦАП с несущего модуля
13	EXTSTART	Вход внешнего старта на несущий модуль
14	GNDA	Аналоговая земля
15	0IN1	вход 1 канала АЦП 0
16	0IN3	вход 3 канала АЦП 0
17	0IN5	вход 5 канала АЦП 0
18	0IN7	вход 7 канала АЦП 0
19	1IN0	вход 0 канала АЦП 1
20	1IN2	вход 2 канала АЦП 1
21	1IN4	вход 4 канала АЦП 1
22	1IN6	вход 6 канала АЦП 1
23	GNDA	Аналоговая земля

Для субмодуля **ADM212x40M** имеется устройство **UAA02-6**, обеспечивающее подключение 6 аналоговых входов/выходов через разъемы типа CP-50.

Для подключения сигналов выключите компьютер и подключите соединительное устройство к разъему субмодуля через отверстие в корпусе

компьютера. **Выключение необходимо**, т.к. можно случайно сместить плату и нарушить контакт в системном разъеме.

Внешний вид и электрическая схема устройств подключения **UAA02** приведены на Рис. 5-2. Устройство **UAA02-6** обеспечивает подключение 4-х входных сигналов АЦП, входного сигнала порогового запуска (**XS5**) и выходного сигнала ЦАП (**XS4**). Группы перемычек обеспечивают возможность коммутации входов (см. Табл. 4-1) для подачи сигналов на входные мультиплексоры обоих каналов АЦП, а также обеспечивают возможность замыкания на “землю” незадействованных входов. Все остальные входы замкнуты на “землю”.

Табл. 4-1. Коммутация входов UAA02

Перемычка	Замкнутые контакты	Сигналы на входные мультиплексоры
J0	1-2	Сигнал с XS0 на вход 0 АЦП 0
J0	3-4	На вход 0 АЦП 0- Земля
J1	1-2	Сигнал с XS1 на вход 2 АЦП 0
J1	3-4	на вход 2 АЦП 0- Земля
J2	2-4	Сигнал с XS2 на вход 0 АЦП 1
J2	1-2	Сигнал с XS2 на вход 1 АЦП 0
J2	5-6	на 0 АЦП 1- Земля
J2	1-3	на 1 АЦП 0- Земля
J3	2-4	Сигнал с XS3 на вход 2 АЦП 1
J3	1-2	Сигнал с XS3 на вход 3 АЦП 0
J3	5-6	на 2 АЦП 1- Земля
J3	1-3	на 3 АЦП 0- Земля

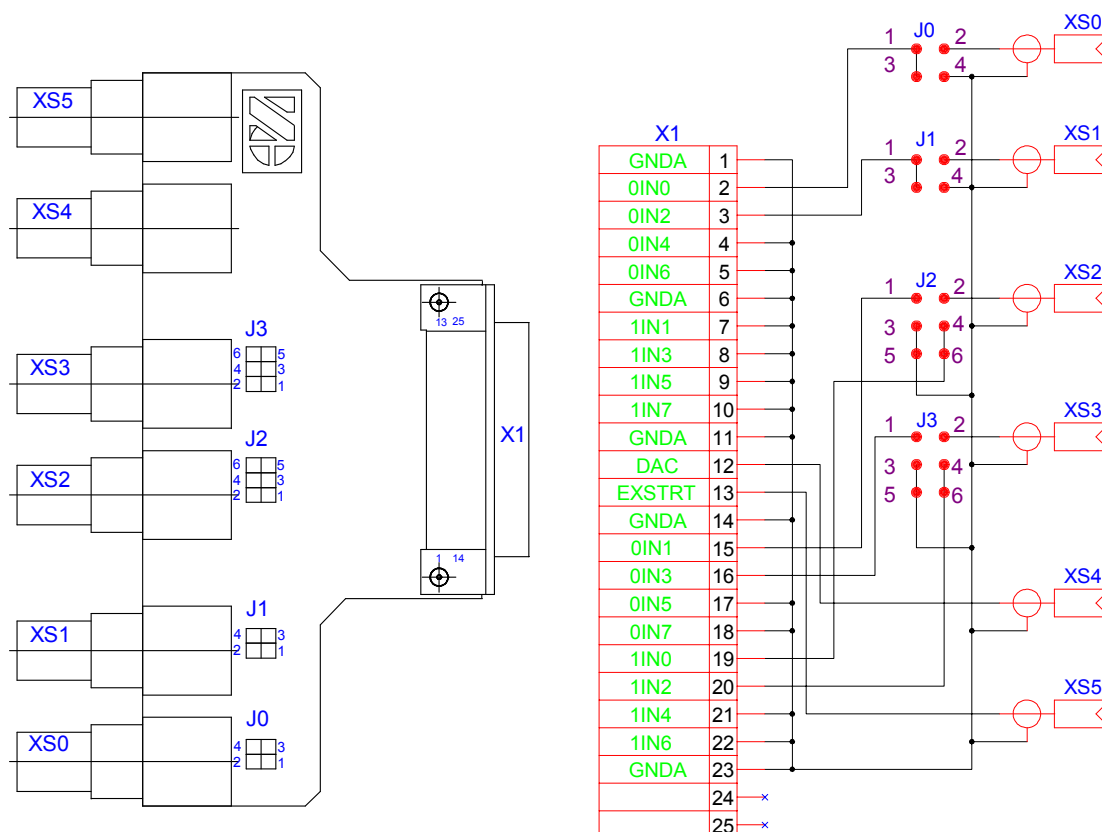


Рис. 5-2. Устройство соединительное UAA02-06

5.5 Калибровка субмодуля

5.5.1 Калибровка статических параметров субмодуля

Статическая калибровка субмодуля заключается в установке смещений нуля, которая осуществляется программно. Для этого необходимо запустить программу **ISVI.EXE**, которая входит в комплект поставки, и, открыв через меню "ADM212x40M" диалог настройки параметров субмодуля, перейти к закладке "АЦП" и набрать нужное значение в поле "Смещение нуля". Можно также выполнить автокалибровку, для чего надо, запустив программу **ISVI.EXE**, выбрать в меню "Режим" пункт "Смещение нуля АЦП", подать на вход выбранных каналов 0В и начать ввод данных.

5.5.2 Калибровка динамических параметров субмодуля

Динамическая калибровка субмодуля заключается в тестировании динамических параметров (SNR, THD, ENB, SFDR) в одноканальном режиме при разных частотах входного сигнала и частотах дискретизации, а также тестировании динамических параметров в режимах мультиплексирования входных каналов (SNR, THD, ENB, SFDR, CCI) при различных коэффициентах передачи.

При тестировании синусоидальным сигналом в качестве источника входного сигнала можно использовать генератор ГЗ-118, подключенный через сетевой фильтр. Амплитуда входного сигнала должна составлять -0,5 дБ от полной шкалы преобразования; не опрашиваемые входы необходимо заземлить.

6. ПРОГРАММИРУЕМЫЕ РЕСУРСЫ СУБМОДУЛЯ

6.1 Общая характеристика

Так как в состав модуля входят программируемые логические схемы (ПЛИС), перед работой с модулем необходимо загрузить их конфигурацию из файла, для субмодуля **ADM212x40M** имя файла конфигурации определяется следующим образом: **P1240mVV.hex**, где **hex** – расширение файла, **P** – обозначение несущего модуля (**AMBPCI**), **1240m** – буквенно-цифровое обозначение субмодуля, **VV** – номер версии (или модификации).

Список программируемых ресурсов субмодуля ADM212x40M, приведен в Табл. 5-1.

Табл. 5-1. Программируемые ресурсы субмодуля

Номер	Наименование ресурса
1	Регистр режимов стартовой синхронизации АЦП STMODE
5	Регистр ЦАП программируемых напряжений THDAC
7	Регистр режимов АЦП MODE1
11	Регистр памяти мультиплексора MUXMEM
12	Регистр глубины мультиплексора MUXCNT

Разрядность регистров – 32;

Множитель номера – 4.

Номер регистра (см. Табл. 5-1) и его множитель определяют адрес регистра относительно базового (см. *раздел 3*).

6.2 Регистр режимов стартовой синхронизации АЦП

Данный регистр программируется так, как описано в п.3.3 за исключением разрядов 0 и 1, отвечающих за режим мультиплексора компараторов. Они принимают значения согласно Табл. 6-2.

Табл. 6-2. Режимы мультиплексора компараторов

Значение поля	Режим мультиплексора компараторов
00	на компаратор 0 подается сигнал внешнего старта, на компаратор 1 подается сигнал с разъема X4
01	на компаратор 0 подается сигнал с первого выбранного входа группы входов 0-7, на компаратор 1 подается сигнал с разъема X4
10	на компаратор 0 подается сигнал с первого выбранного входа группы входов 8-15, на компаратор 1 подается сигнал с разъема X4
11	на входы обоих компараторов подается сигнал с первого выбранного входа группы входов 0-7

Примечание: Если в режиме претриггера производится опрос более одного входа, то разряды 0 и 1, отвечающие за режим мультиплексора компараторов, должны быть равны 00 (т.е. на компаратор 0 подается сигнал внешнего старта, на компаратор 1 подается сигнал с разъема X4).

6.3 Число опрашиваемых входов

Это число определяется регистром глубины мультиплексора, в который заносится число опрашиваемых (включенных) входов на каждом канале (АЦП) минус 1(один). При опросе обоих каналов число включенных входов для каждого канала должно быть одинаковым.

Регистр глубины мультиплексора **MUXCNT** имеет следующую структуру:

15	3	2	0
Резерв			MUXCNT

Разряды	Название	Назначение
2..0	MUXCNT	Число опрашиваемых входов на одном канале минус 1.

Примечание: по записи в этот регистр (или по сбросу FIFO АЦП) происходит сбрасывание в ноль счетчика мультиплексора.

6.4 Порядок опроса

Программирование порядка опроса входов реализовано с помощью памяти мультиплексора глубиной 8 слов. Регистр памяти мультиплексора **MUXMEM** имеет следующую структуру:

15	8	7	5	4	3	2	0
Резерв			INPADC1		Резерв		INPADC0

Разряды	Название	Назначение
2..0	INPADC0	Номер входа канала АЦП0 (0 – 7)
7..5	INPADC1	Номер входа канала АЦП1 (0 – 7)

Примечания:

- после программирования ПЛИС регистр глубины мультиплексора **MUXCNT** и память мультиплексора обнуляются, что соответствует включению режима опроса одного нулевого входа.
- при программировании мультиплексора следует сначала прописать регистр глубины мультиплексора **MUXCNT**, а затем соответствующее число раз прописать регистр памяти мультиплексора **MUXMEM**.

6.5 Регистр режимов АЦП и коэффициенты усиления

С помощью программирования регистра режимов АЦП **MODE1** можно выбрать опрашиваемые каналы, их коэффициенты усиления и включить режим уплотнения данных. Этот регистр имеет следующую структуру:

15	12	11	10	9	8	7	3	2	1	0
Резерв			GADC1		GADC0		Резерв		PACK	CHANMASK

Разряды	Название	Назначение
1...0	CHANMASK	Битовая маска выбранных каналов: 1 – выбран, 0 – не выбран. При этом 0 бит – канал 0, 1 бит – канал 1.
2	PACK	Включение режима уплотнения данных
9...8	GADC0	Коэффициент усиления входа канала АЦП0
11...10	GADC1	Коэффициент усиления входа канала АЦП1

Если в поле **PACK** заносится 1, то включается режим уплотнения данных - с АЦП снимается не все 12, а только старшие 8 бит.

Соответствие значений, заносимых в поля **GADC0** и **GADC1**, и коэффициентов усиления приведены в табл. 6-3.

Табл. 6-3. Коэффициенты усиления

Значение поля	Коэффициент усиления
00	1
01	2
10	4
11	8

6.6 Формат входных данных

Данные, снимаемые с АЦП, занимают старшие 12 разрядов 16 разрядного слова. Два младших бита этого слова являются информативными:

- Бит 0 устанавливается в 1 в первом отсчете блока для каждого канала АЦП (т.е. после старта АЦП или после каждого старта в старт-стопном режиме).
- Бит 1 устанавливается в 1 в отсчете, который соответствует последнему опрашиваемому входу (по порядку расположения номеров входов в памяти мультиплексора) для каждого канала АЦП.

Сведения о режимах стартовой синхронизации АЦП изложены в п. 2.3.2.

Данные во входном потоке располагаются в соответствии с порядком расположения номеров входов в памяти мультиплексора. При выборе входов из обоих каналов АЦП отсчеты каналов чередуются.

6.7 Смещение нуля

Для каждого канала АЦП задается программируемое смещение нуля в двух диапазонах – грубом (диапазон подстройки - полная шкала) и точном (диапазон подстройки $\pm 1\%$ полной шкалы). Программирование осуществляется с помощью ЦАП, установленных на несущем модуле (см. раздел 2.4 «Узел программируемых напряжений»).

Для канала АЦП0 грубая регулировка осуществляется с помощью ЦАП3, а точная ЦАП7; для канала АЦП1 грубая регулировка осуществляется с помощью ЦАП4, а точная ЦАП8.

Регистр ЦАП программируемых напряжений **THDAC** имеет следующую структуру:

15	12	11	8	7	0
Резерв			THDACADR		THDACDATA

Разряды	Название	Назначение
7..0	THDACDATA	Данные ЦАП
11..8	THDACADR	Адрес (номер) ЦАП

Для получения значения поля **THDACDATA** для грубой и точной регулировки смещения нуля надо сделать следующие шаги:

1. Вычислить значение поля **THDACDATA** для грубой регулировки смещения нуля по формуле:

$$D_{гр} = 128 * (1 + U_{см} / U_{шк}),$$

2. Получить значение грубого смещения нуля по формуле:

$$U_{смгр} = U_{шк} * (D_{гр} / 128 - 1),$$

3. Получить значение точного смещения нуля по формуле:

$$U_{смтч} = (U_{см} - U_{смгр}) * 100,$$

4. Вычислить значение поля **THDACDATA** для точной регулировки смещения нуля по формуле:

$$D_{тч} = 128 * (1 + U_{смтч} / U_{шк}),$$

где $U_{см}$ - нужное значение смещения;

$U_{шк}$ - полная входная шкала преобразования (2,5 В);

$U_{смгр}$ – получившееся грубое значение смещения;

$U_{смтч}$ – получившееся точное значение смещения;

$D_{гр}$ - значения поля **THDACDATA** для грубой регулировки смещения нуля;

$D_{тч}$ - значения поля **THDACDATA** для точной регулировки смещения нуля.

Примечания:

- передача данных в ЦАП связана с параллельно-последовательным преобразованием, и поэтому запись в этот регистр необходимо производить только при разрешающем значении (1) бита готовности ЦАП в регистре статуса.
- после аппаратного сброса все ЦАП устанавливаются в значение 0 В.

7. ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

В стандартный комплект программного обеспечения модуля входят:

- программа для программирования конфигурации логических схем модуля (см.п. 4.5);
- программа комплексного анализа сигналов ISVI с функциями осциллографа, спектроанализатора и сбора данных на жестком диске в среде Windows 98/ME/2000/XP.

Дополнительно поставляются драйверы DAQ-DRV для работы в операционных средах Windows 98/ME/2000/XP.

Примечание: Программа ISVI и драйверы поставляются обычно вместе с конкретным субмодулем и отражают его специфику.