

МОДУЛЬ АНАЛОГОВОГО ВВОДА ADS212x200M

Руководство пользователя

СКУЮ.468155.020 РЭ

Москва 2004

Редакция:16.02.2004г.

СОДЕРЖАНИЕ

1. Введение	4
1.1 Назначение	4
1.2 Общие технические характеристики	4
1.3 Типовые одночастотные динамические характеристики АЦП	5
2. Устройство и работа модуля	7
2.1 Общая функциональная схема	7
2.2 Узел АЦП	8
2.3 Узел синхронизации АЦП	8
2.3.1 Тактирование	8
2.3.2 Стартовая синхронизация АЦП.	8
2.3.3 Синхронная работа нескольких модулей	8
2.4 Узел записи в FIFO АЦП и FIFO АЦП	9
2.5 Узел управления и контроллер SDRAM	9
2.6 Память данных АЦП	11
2.7 Контроллер шины PCI	11
2.8 Режимы работы модуля	11
2.8.1 Режимы работы АЦП	11
2.8.2 Режимы передачи данных в ПЭВМ	11
3. Программируемые ресурсы	13
3.1 Общая характеристика	13
3.2 Основной регистр режимов	14
3.3 Регистр режимов стартовой синхронизации АЦП	14
3.4 Регистр режимов АЦП	14
3.5 Регистр коэффициента децимации	15
3.6 Данные АЦП	15
3.7 Регистр состояния	16
3.7.1 Режим ввода данных в память АЦП	16
3.7.2 Режим ввода данных через FIFO АЦП	16
3.8 ЦАП точной подстройки шкалы	17
3.9 Программируемые ресурсы узла памяти данных	17
3.9.1 Определение конфигурации памяти	17
3.9.2 Регистр конфигурации контроллера памяти	18
3.9.3 Регистр начального адреса активной зоны	19
3.9.4 Регистр конечного адреса активной зоны	19
3.9.5 Регистр начального адреса чтения	19
3.9.6 Реально собранное количество данных	19
3.9.7 Регистр состояния контроллера памяти	19
4. Установка конфигурации модуля	21
4.1 Загрузка конфигурации программируемых логических схем	21

1. ВВЕДЕНИЕ

1.1 Назначение

Модуль ADS212x200M предназначен для аналого-цифровой регистрации широкополосных сигналов (до 100 МГц) и последующей записи оцифрованных сигналов в ОЗУ ПЭВМ или на дисковый накопитель.

1.2 Общие технические характеристики

Число каналов: 2

Режим ввода: Одноканальный (любой канал) или двухканальный

АЦП: 12 бит

Частота дискретизации: 200 МГц максимум, или 200МГц/К, где К – целое чётное от 1 до 8); децимация от 2 до 32 (только чётные коэффициенты децимации)

Максимальный уровень входного сигнала: 1,0В; 0,5 В; 0,25В; 0,125В; 0,0625В ампл. в зависимости от запрограммированной шкалы

Входное сопротивление: 50 Ом

Аналоговая полоса пропускания: 30кГц – 110МГц (Примечание 1)

Межканальное фазовое рассогласование:

на частоте входного сигнала от 100кГц до 30МГц – не более 2,5 градусов

на частоте входного сигнала от 1кГц до 100МГц – не более 5 градусов

Системный интерфейс: PCI Rev.2.2 64 бит, 66 МГц

Режимы обмена: Мастер и/или программный

Скорость ввода данных АЦП в память модуля: до 800 Мбайт/с

Скорость передачи данных из памяти модуля в ПЭВМ: до 260 Мбайт/с

Скорость передачи данных из FIFO модуля в ПЭВМ: до 260 Мбайт/с

Память данных АЦП (SDRAM):

- до 4 Гбайт, два слота SDRAM DIMM 168-pin PC133.

Буферная память данных АЦП (FIFO):

- 128К 16-разрядных слов

Тактирование модуля:

- внутреннее от кварцевого генератора 200МГц
- внешнее

Старт/останов процесса ввода отсчетов:

- программный
- внешний (ТТЛ)

Потребляемые токи модуля:

- не более 2.2А по цепи +5В
- не более 1.6А по цепи +3.3В
- не более 80мА по цепи -12В
- не более 300мА по цепи +12В

Примечание 1: По согласованию с изготовителем аналоговая полоса может быть изменена вниз до 300Гц. Внеполосное затухание сигнала определяется RC фильтром и составляет примерно 6дБ на октаву.

1.3 Типовые одночастотные динамические характеристики АЦП

Типовые динамические характеристики приводятся для следующих условий измерения:

Частота дискретизации АЦП – 200МГц. На вход платы подаётся одночастотный гармонически чистый сигнал с малыми шумами (с генератора типа Marconi 2019A с внешним фильтром подавления гармоник).

Динамические характеристики в части SFDR и THD приведены при загрузке АЦП на 80% от максимальной входной шкалы. В части SNR и ENB – при загрузке на 95% от максимальной входной шкалы.

При входном сигнале частотой 10,7МГц

Шкала, В	SFDR, дБ	SNR, дБ	THD, дБ	ENB, бит
1,0	76	62	-72	10,0
0,5	80	62	-74	10,0
0,25	80	62	-74	10,0
0,125	78	62	-74	10,0
0,0625	74	58	-72	9,5

При входном сигнале частотой 21,4МГц

Шкала, В	SFDR, дБ	SNR, дБ	THD, дБ	ENB, бит
1,0	80	61	-72	9,8
0,5	80	60	-74	9,8
0,25	80	60	-74	9,7
0,125	78	60	-74	9,7
0,0625	76	58	-72	9,3

При входном сигнале частотой 70МГц

Шкала, В	SFDR, дБ	SNR, дБ	THD, дБ	ENB, бит
1,0	72	55	-67	8,8
0,5	72	55	-67	8,8
0,25	72	55	-67	8,8
0,125	70	54	-67	8,7
0,0625	70	54	-67	8,7

Примечания:

Реальные динамические характеристики могут иметь отличия от типовых как в лучшую, так и в худшую сторону. Ухудшение относительно типовых характеристик допускается не более чем на 2дБ по параметру SNR и не более 3дБ по параметрам SFDR и THD по отношению к типовым параметрам.

В целях достижения максимальных параметров аналого-цифрового преобразования рекомендуется работа без деления частоты дискретизации, пользуясь только децимацией. Использование делителя частоты дискретизации приводит к появлению в спектре сигнала с выхода АЦП дополнительных помех, уменьшающих SNR на 2-3дБ.

2. УСТРОЙСТВО И РАБОТА МОДУЛЯ

2.1 Общая функциональная схема

В состав модуля ADS212x200M входят следующие функциональные узлы:

- программируемые аттенюаторы-усилители
- узел АЦП канала 0 (12 бит 200 МГц);
- узел АЦП канала 1 (12 бит 200 МГц);
- узел синхронизации АЦП;
- узел записи в FIFO АЦП;
- буферная память FIFO тракта АЦП;
- память данных АЦП (2 слота SDRAM DIMM);
- узел управления и контроллер SDRAM;
- узел загрузки ПЛИС;
- контроллер шины PCI.

Функциональная схема модуля приведена на Рис.2-1, общий вид модуля приведен на Рис. 4-1.

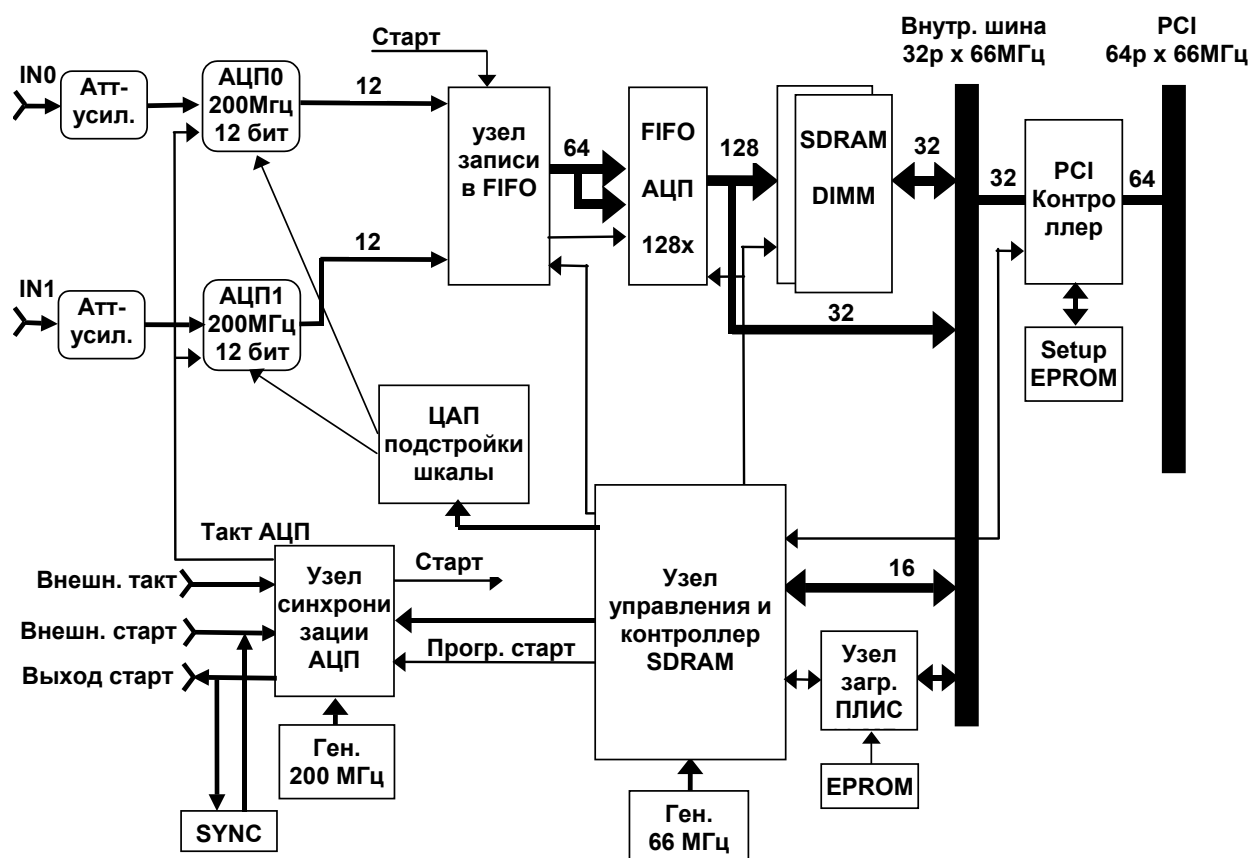


Рис. 2-1 Функциональная схема ADS212x200M

2.2 Узел АЦП

Узел АЦП – двухканальный.

Узел АЦП включает в себя программируемый аттенюатор, усилитель, собственно АЦП, программируемые источники опорных напряжений.

Программируемый аттенюатор обеспечивает ослабление входного сигнала от 0 до 18дБ с шагом 6дБ. За счёт аттенюации реализованы 4 входные шкалы - 1В; 0,5В; 0,25В; 0,125В.

Усилитель имеет фиксированное усиление, он компенсирует ослабление аттенюатора и нормирует сигнал на входе АЦП. Усилитель выполнен на основе широкополосного ультралинейного ОУ AD8351 (©Analog Devices).

АЦП - высокочастотный 12-разрядный АЦП AD9439 (©Analog Devices) с максимальной частотой дискретизации 200МГц.

5-я шкала - 0,0625В - обеспечена за счёт особенностей микросхемы АЦП, позволяющей переключить входную шкалу микросхемы АЦП управляющим сигналом.

За счёт применения программируемых источников опорного напряжения входная шкала АЦП может быть изменена в диапазоне $\pm 10\%$ с шагом примерно 1%.

2.3 Узел синхронизации АЦП

2.3.1 Тактирование

Формирование временных диаграмм работы модуля производится относительно тактовой частоты, источником которой является либо установленный на модуле кварцевый генератор частотой 200МГц, либо сигнал внешнего генератора в диапазоне до 200МГц. Сигнал внешнего генератора подается на разъем CLK (см. Рис. 4-1).

Частота дискретизации АЦП программируется путем выбора источника тактовой частоты (внешний или внутренний), задания коэффициента деления тактовой частоты, задания коэффициента децимации (прореживания) отсчётов АЦП. Значения коэффициента деления могут быть в диапазоне от 1 до 8. Значения коэффициента децимации – от 1 до 32.

2.3.2 Стартовая синхронизация АЦП.

Запуск преобразования АЦП и сбора данных может быть либо программным, либо по внешнему сигналу. Внешний запускающий сигнал может быть подан либо на разъём на задней планке модуля (STIN), либо на разъём SYNC на верхней кромке платы. Источник запускающего сигнала определяется программно.

В качестве запускающего сигнала должен использоваться сигнал ТТЛ или КМОП уровней. Запуск АЦП может быть потенциальным или триггерным, фронт (уровень) запуска определяется программно.

2.3.3 Синхронная работа нескольких модулей

Для создания синхронных многоканальных систем сбора данных предусмотрен механизм совместной работы нескольких модулей в режиме *Master/Slave* (Ведущий/Ведомый).

Синхронный сбор данных возможен только при подаче одного и того же сигнала внешней тактовой частоты на все модули.

Запускающий сигнал подаётся на модуль *master*, либо *master* может работать в режиме программного старта. Модули *slave* должны работать в режиме внешнего запуска, сигнал запуска на них подаётся с модуля *master* либо плоским кабелем через разъём SYNC, либо через разъём STOUT на задней планке модуля.

2.4 Узел записи в FIFO АЦП и FIFO АЦП

Буферная память FIFO АЦП предназначена для буферизации потока входных данных от АЦП при записи данных в узел динамической памяти, либо при непосредственной передаче данных АЦП в шину PCI через контроллер PCI, минуя динамическую память.

Разрядность FIFO АЦП – 128 бит, узел состоит из двух 64-разрядных микросхем FIFO размером от 512 до 64К слов. Входной поток данных FIFO имеет разрядность 64.

Упаковка данных АЦП в 64-разрядное слово в различных режимах, а также формирование временных диаграмм записи в FIFO производится узлом записи в FIFO. Узел реализован на микросхеме программируемой логики Altera EPM7256AEFC256-5. Возможны следующие режимы упаковки данных АЦП:

- два канала АЦП;
- один (по выбору) канал АЦП.

2.5 Узел управления и контроллер SDRAM

Узел управления и контроллер динамической памяти (SDRAM) реализованы на микросхеме программируемой логики (ПЛИС) Altera EP1K30FC256-1. Конфигурация ПЛИС должна быть перед началом работы с модулем загружена либо из файла, либо из ПЗУ, установленного на модуле. Режим загрузки ПЛИС определяется либо программно, либо джамперами на модуле, см. п. 4.1.

Узел управления предназначен для задания режимов работы и формирования временных диаграмм сигналов управления другими узлами модуля: узла синхронизации АЦП, FIFO АЦП в части чтения данных; во взаимодействии с контроллером PCI обеспечивает функционирование локальной шины.

Задание режим работы узлов модуля и чтение информации о состоянии узлов осуществляется через набор регистров, описание программируемых ресурсов приведено в разделе 3.

Контроллер SDRAM обеспечивает управление узлом динамической памяти во всех режимах работы: запись данных АЦП или тестовых данных, чтение данных через шину PCI в память ПЭВМ, регенерация. Также узел контроллера обеспечивает возможность чтения конфигурационного ПЗУ модулей SDRAM (SPD ROM).

Тактовая частота SDRAM и локальной шины 66МГц, что позволяет контроллеру при выбранной архитектуре обеспечить пропускную способность узла SDRAM по записи данных из АЦП 800 Мбайт/с, по чтению – до 250 Мбайт/с на системной шине PCI с тактовой частотой 66 МГц.

Доступ по чтению данных со стороны системной шины реализован в потоковом режиме (*burst*), при этом возможно либо использование режима контроллера шины PCI «Мастер», либо программное чтение.

Предусмотрены два режима доступа к памяти по чтению: *автоматический* и *произвольный*.

Автоматический режим доступа обеспечивает начало передачи данных в системную шину сразу по завершении сбора данных. При этом в системную шину

данные передаются последовательно, начиная с начала активной зоны до её конца.

Примечание: При продолжении процесса чтения данных по исчерпанию активной зоны указатель чтения данных переходит на начало активной зоны и чтение может продолжаться далее.

Произвольный режим доступа обеспечивает доступ к произвольному участку памяти независимо от процесса сбора данных и заданных параметров активной зоны. Для использования этого режима необходимо задать начальный адрес чтения и затем включить бит разрешения чтения, после чего данные будут передаваться последовательно в системную шину. Процесс сбора данных организуется точно так же, как и при установленном автоматическом режиме доступа.

Для управления узлом памяти предназначена группа регистров, входящих в узел контроллера SDRAM. Подлежат программированию следующие параметры (см. также п.3.9):

- режим доступа по чтению – произвольный или автоматический;
- начальный адрес активной зоны памяти, определяет размещение области памяти, в которую производится сбор данных, в общем массиве памяти;
- конечный адрес активной зоны памяти, не может превышать физический размер памяти, установленной на модуле;
- начальный адрес чтения (только для произвольного режима доступа);
- параметры, характеризующие организацию модулей памяти, определяются либо чтением конфигурационной ПЗУ (SPD ROM) на модулях (см.п.3.9.1), либо задаются вручную при отсутствии SPD ROM.

В зависимости от выбранных режимов стартовой синхронизации АЦП реализованы следующие алгоритмы работы узла памяти данных:

- сбор данных в режиме программного старта осуществляется с момента разрешения до заполнения активной зоны или программного останова АЦП;
- сбор данных в режиме внешнего старта осуществляется с момента прихода внешнего события старта (в триггерном режиме), или во время разрешающего уровня (в потенциальном режиме запуска) до заполнения активной зоны или программного останова АЦП.

Реально собранное количество данных (по модулю размера активной зоны) с точностью до 32-разрядного слова после остановки процесса сбора может быть определено считыванием соответствующих регистров.

Перед началом работы с модулем необходимо установить корректные значения полей регистра конфигурации контроллера памяти (см.п.3.9.2) и выполнить команду инициализации блока памяти (запись в регистр конфигурации с 13-м битом, установленным в 1).

Примечание: При установленном в «1» 1-м бите регистра состояния контроллера памяти нет необходимости выполнять команду инициализации блока памяти.

Перед каждым стартом процесса сбора данных необходимо выполнить команду сброса в исходное состояние ресурсов памяти данных (запись в основной регистр режимов с 9-м битом, установленным в 1), причем предварительно должна быть выполнена команда останова сбора данных (снято разрешение АЦП).

2.6 Память данных АЦП

Память данных модуля предназначена для накопления данных АЦП, поступающих со скоростями, превосходящими пропускную способность системной шины.

Модуль предусматривает установку двух стандартных 168-pin SDRAM DIMM, общим объемом до 4 Гбайт. Устанавливаемые модули должны быть полностью совпадающей организации по числу адресных разрядов и банков, а также иметь класс быстродействия PC133.

Данные, поступающие в память из FIFO АЦП, имеют разрядность 128 бит. Чтение данных из памяти производится 32-разрядными словами.

2.7 Контроллер шины PCI

Контроллер PCI обеспечивает преобразование протоколов системной шины PCI в протоколы локальной шины модуля, буферизацию потоков данных во внутренней буферной памяти, обеспечивает режимы работы на шине PCI “Bus Master” и “Target”.

В качестве контроллера шины PCI применена микросхема PLX PCI9656. Он обеспечивает работу в шине PCI 32 или 64 разряда с частотой шины до 66 МГц. Локальная шина - 32 разряда до 66 МГц.

2.8 Режимы работы модуля

2.8.1 Режимы работы АЦП

Возможны следующие режимы ввода данных из АЦП:

- два канала АЦП;
- один (по выбору) канал АЦП.

Данные всегда упаковываются в 32-разрядные слова, каждый отсчет занимает 16 бит с выравниванием по старшему разряду, в двухканальных режимах отсчеты каналов чередуются, начиная с канала 0. В разряде 1 каждого отсчета содержится признак переполнения разрядной сетки АЦП.

Частота дискретизации АЦП программируется путем выбора источника тактовой частоты (внешний или внутренний), задания коэффициента деления тактовой частоты, задания коэффициента децимации (прореживания) отсчетов АЦП. Значения коэффициента деления могут быть в диапазоне от 1 до 8. Значения коэффициента децимации – от 1 до 32.

2.8.2 Режимы передачи данных в ПЭВМ

Данные АЦП всегда поступают в буферную память FIFO. Далее данные могут либо накапливаться в динамической памяти данных АЦП, с последующей передачей этих данных в память ПЭВМ, либо непосредственно из FIFO через контроллер PCI и системную шину поступать в память ПЭВМ. Скорость передачи данных из FIFO в системную шину не может превышать 260 Мбайт/с, максимальная скорость передачи данных из FIFO в динамическую память – не менее 800 Мбайт/с. Максимальная скорость чтения из памяти данных в системную шину – до 250 Мбайт/с. Выбор между этими режимами ввода данных осуществляется через 15-й разряд регистра конфигурации контроллера памяти, после загрузки ПЛИС или системного сброса модуль находится в режиме чтения данных АЦП из FIFO.

Чтение данных из FIFO АЦП или памяти данных АЦП может осуществляться либо в режиме Bus Master (DMA), либо программным чтением. Для DMA используется канал DMA0 контроллера PCI.

3. ПРОГРАММИРУЕМЫЕ РЕСУРСЫ

3.1 Общая характеристика

Программируемые ресурсы системы занимают 128 ячеек в адресном пространстве ввода/вывода, перечень ресурсов базового модуля приведен в Табл. 3-1, в следующих параграфах эти ресурсы описаны.

Все ресурсы 32-разрядные, действительными для всех ресурсов (кроме данных АЦП - см.п.3.6) являются 16 младших разрядов. Адреса регистров указаны относительно базового адреса пространства BADR1, определяемого в процедуре конфигурирования устройств PCI Plug&Play. Для нахождения модуля необходимо знать DeviceID - 0x1202, и VendorID - 0x4953.

В таблице указан также тип разрешенных обращений к ячейкам: "wr" - только запись, "rd" - только чтение, "wr/rd" - и чтение и запись.

Примечание: При записи в любые регистры незадействованные разряды или обозначенные как "резерв" должны быть нулевыми.

По причине высокой сложности обеспечения работоспособности PCI-устройств, а тем более достижения максимальных параметров быстродействия, в настоящем описании не приводятся материалы по взаимодействию HOST-процессора с контроллером PCI. В связи с этим настоятельно рекомендуется на уровне взаимодействия с устройством использовать поставляемое Разработчиком программное обеспечение.

Табл. 3-1 Программируемые ресурсы модуля

Адрес	Наименование ресурса
0 wr	Основной регистр режимов
0 rd	Регистр состояния
4 wr	Регистр режимов стартовой синхронизации АЦП
16 rd	Входные данные (данные АЦП)
20 wr	Программирование ЦАП подстройки шкалы
28 wr	Регистр режимов АЦП
48 wr	Регистр коэффициента децимации
68 wr	Регистр конфигурации контроллера памяти
72 wr	Конечный адрес активной зоны (младшее слово)
76 wr	Конечный адрес активной зоны (старшее слово)
80 wr	Начальный адрес активной зоны (младшее слово)
84 wr	Начальный адрес активной зоны (старшее слово)
96 wr	Начальный адрес чтения (младшее слово)
100 wr	Начальный адрес чтения (старшее слово)
104 wr	Регистр команд управления SPD ROM
68 rd	Регистр состояния контроллера памяти
72 rd	Реально собранное количество данных (младшее слово)
76 rd	Реально собранное количество данных (старшее слово)
80 rd	Регистр данных SPD ROM

3.2 Основной регистр режимов

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.
Смещение относительно базового адреса - 0.

Разряды	Назначение
0	1 - модуль является ведущим (Master), 0 - подчиненным (Slave)
7...1	резерв
7	резерв
8	1 - разрешение АЦП (программный старт)
9	1 - сброс в исходное состояние FIFO АЦП и флага переполнения буфера, а также контроллера SDRAM
14...10	резерв
15	1 - включить режим тестирования модуля

3.3 Регистр режимов стартовой синхронизации АЦП

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.
Смещение относительно базового адреса - 4.

Разряды	Назначение
2..0	резерв
3	1 – триггерный старт 0 – потенциальный старт
4	уровень (фронт) стартового сигнала 0 – низкий уровень (фронт 1->0) 1 – высокий уровень (фронт 0 ->1)
5	резерв
6	режим старта АЦП: 0 – программный 1 – внешний
7	источник внешнего стартового сигнала: 0 – внешний разъём (STIN) 1 – внутренний разъём (SYNC)
15..8	резерв

3.4 Регистр режимов АЦП

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.
Смещение относительно базового адреса - 28.

Разряды	Назначение
1,0	выбор каналов АЦП: 00 – режим stand-by (отключение питания на АЦП) 01 – канал 0 10 – канал 1 11 – каналы 0 и 1
2	резерв

6..3	к-т деления опорной частоты АЦП от 1 до 8 0001 – 1 0010 – 2 0011 – 3 0100 – 4 0101 – 5 1000 – 8
7	резерв
8	источник тактовой частоты АЦП: 0 – внутренний генератор 1 – внешний генератор
11..9	входная шкала канала 0 111 – $\pm 0.0625B$ 011 – $\pm 0.125B$ 010 – $\pm 0.25B$ 001 – $\pm 0.5B$ 000 – $\pm 1B$
14..12	входная шкала канала 1 111 – $\pm 0.0625B$ 011 – $\pm 0.125B$ 010 – $\pm 0.25B$ 001 – $\pm 0.5B$ 000 – $\pm 1B$
15	резерв

3.5 Регистр коэффициента децимации

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 1.
Смещение относительно базового адреса - 48.

Разряды	Назначение
4..0	коэффициент децимации отсчетов 00000 – 32 00001 – 1 00010 – 2 00100 – 4 11110 - 30 <u>Примечание:</u> рабочие значения коэффициентов 1,2,4,6, 8...32
15..5	резерв

3.6 Данные АЦП

Смещение относительно базового адреса - 16.

Входные данные (данные АЦП) - 12-разрядные, в дополнительном коде, выровненные по старшем биту в 16-разрядном слове. 16-разрядные слова упакованы в 32-разрядное слово. В двухканальном режиме отсчеты каналов чередуются. Недействующие разряды всегда 0. Разряд 1 содержит признак

переполнения разрядной сетки АЦП. Разряд 0 содержит «1» в отсчетах первого слова, собранного после появления события старта.

3.7 Регистр состояния

3.7.1 Режим ввода данных в память АЦП

Смещение относительно базового адреса - 0.

Значения отдельных разрядов регистра состояния отличаются в режиме ввода данных АЦП в динамическую память и в режиме непосредственного чтения данных АЦП из FIFO.

Разряды	Назначение
0	1 – готовность ЦАП подстройки шкалы
1,5,8	1 - готовность входных данных (завершение сбора данных)
2	
3	резерв
4	
6	
7	резерв
9	0 - готовность входных данных (завершение сбора данных)
10	
11	
13,12	резерв
14	1 – переполнение разрядной сетки АЦП0
15	1 – переполнение разрядной сетки АЦП1

Разряды 1,5,8,9 отражают состояние готовности данных АЦП, которое заключается в завершении процесса ввода данных в память. Все флаги изменяются одновременно, их избыточное количество обусловлено необходимостью программной совместимости с режимом ввода через FIFO. Сбрасываются в исходное состояние по команде сброса ресурсов памяти (9-й разряд основного регистра режимов).

Разряды 14 и 15 устанавливаются в «1», если хотя бы один раз за всё время последнего сбора данных было переполнение разрядной сетки соответствующего АЦП. Эти флаги сбрасываются только при прохождении команды сброса FIFO АЦП (разряд 9 основного регистра режимов).

Все остальные флаги отражают текущее состояние ресурсов.

3.7.2 Режим ввода данных через FIFO АЦП

Смещение относительно базового адреса - 0.

Значения отдельных разрядов регистра состояния отличаются в режиме ввода данных АЦП в динамическую память и в режиме непосредственного чтения данных АЦП из FIFO.

Разряды	Назначение
0	1 – готовность ЦАП подстройки шкалы
1	1 - готовность данных АЦП (буфер АЦП не пустой при разрешенном вводе данных АЦП)
2	
3	1 - переполнение буфера FIFO АЦП

4	
5	1 - FIFO АЦП заполнено более половины
6	
7	резерв
8	1 - FIFO АЦП не пусто
9	1 - FIFO АЦП не полно
10	
11	
13,12	резерв
14	1 – переполнение разрядной сетки АЦП0
15	1 – переполнение разрядной сетки АЦП1

Появление флага переполнения входного буфера АЦП означает поступление данных АЦП в полностью заполненный буфер. Этот флаг, появившись однажды, запоминается и сбрасывается только при прохождении команды сброса FIFO АЦП (разряд 9 основного регистра режимов).

Разряды 14 и 15 устанавливаются в «1», если хотя бы один раз за всё время последнего сбора данных было переполнение разрядной сетки соответствующего АЦП. Эти флаги сбрасываются только при прохождении команды сброса FIFO АЦП (разряд 9 основного регистра режимов).

Все остальные флаги отражают текущее состояние ресурсов.

3.8 ЦАП точной подстройки шкалы

Смещение относительно базового адреса - 20.

После аппаратного сброса ЦАП устанавливаются в значение 0В.

Примечание: передача данных в ЦАП связана с параллельно-последовательным преобразованием и поэтому запись в этот регистр необходимо производить только при разрешающем значении (1) бита готовности ЦАП в регистре статуса.

Разряды	Назначение
3..0	всегда 0
11..4	данные (8 бит)
14..12	всегда 0
15	номер канала АЦП (0,1)

Коду 207 данных соответствует уменьшение входной шкалы примерно на 11,3%

Коду 231 данных соответствует номинальная входная шкала

Коду 255 данных соответствует увеличение входной шкалы примерно на 9,5%

3.9 Программируемые ресурсы узла памяти данных

3.9.1 Определение конфигурации памяти

Для работы с SPD ROM служат регистры команд управления (SPDM) и данных (SPDR). Через SPDM подаётся команда, через регистр SPDR (разряды 7..0) считывается побайтно информация. Доступ в конкретной последовательности

команд осуществляется только к одному слоту, номер выбранного слота задаётся в поле команды. Структура используемых команд приведена в Табл. 3-2. Запись команды возможна только при установленном в 1 бите готовности SPD (в регистре состояния контроллера памяти). Завершение команды чтения определяется также по 1 в этом бите, после чего возможно считывание содержимого байта SPD из регистров SPDR.

Чтение содержимого памяти SPD возможно двумя способами: чтение последовательности байт, или чтение конкретного байта. Общий объём памяти SPD 128 байт.

Алгоритм выдачи команд для последовательного доступа:

1. Команда записи 1010xxx0 с признаком старта, xxx – номер слота
2. Команда записи адреса (n), n=0..127
3. Команда записи 1010xxx1 с признаком старта, xxx - номер слота
4. Команда чтения байта n
5. Команда чтения байта n+1
6.
7. Команда чтения последнего байта последовательности с признаком стопа.

Алгоритм выдачи команд для произвольного доступа:

1. Команда записи 1010xxx0 с признаком старта, xxx – номер слота
2. Команда записи адреса (n), n=0..127
3. Команда записи 1010xxx1 с признаком старта, xxx - номер слота
4. Команда чтения байта n с признаком стопа.

Табл. 3-2 Формат регистра SPDRM

Разр. SPDRM	Назначение
0	1 – команда записи содержит признак старта 0 – не содержит
1	1 – команда чтения содержит признак стопа 0 – не содержит
2	1 – команда записи 0 – команда чтения
7..3	резерв, всегда 0
15..8	тело команды записи, определяется в соответствии с документацией микросхем 24xx52 (предполагаемые последовательности команд приведены в тексте), разряды 11,10,9 – номер слота (в данном модуле – 0 или 1).

3.9.2 Регистр конфигурации контроллера памяти

Состояние после перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 68.

Разряды	Назначение
0	режим чтения: 0 – автомат, 1 – произвольный.
2,1	резерв
5..3	число разрядов адреса строк (SPD, байт 3) (Допустимый ряд – 11...14, значение поля = x-8)
8..6	число разрядов адреса столбцов (SPD, байт 4) (Допустимый ряд

	– 8...13, значение поля = x-8)
9	число банков модуля: 0 – 1 банк, 1 – 2 банка. (SPD, байт 5)
10	число банков SDRAM: 0 – 2 банка, 1 – 4 банка. (SPD, байт 17)
12,11	резерв
13	1 – команда инициализации памяти
14	1 – разрешение доступа по чтению в произвольном режиме
15	1 – блокировка памяти, работа через FIFO

3.9.3 Регистр начального адреса активной зоны

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 80 (младшее слово), 84 (старшее слово).

Указывает начальный адрес буфера (в 32-разрядных словах), в который производится сбор данных, и из которого данные читаются в автоматическом режиме. Не может превышать реальный объем памяти на модуле. Начальный адрес буфера должен быть кратен 64 словам.

3.9.4 Регистр конечного адреса активной зоны

Состояние после аппаратного сброса или перепрограммирования ПЛИС – 0xFFFFFFFF.

Смещение относительно базового адреса – 72 (младшее слово), 76 (старшее слово).

Указывает конечный адрес буфера (в 32-разрядных словах), в который производится сбор данных, и из которого данные читаются в автоматическом режиме. Не может превышать реальный объем памяти на модуле. Значение конечный адрес буфера плюс 1 должно быть кратно 64 словам.

3.9.5 Регистр начального адреса чтения

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 96 (младшее слово), 100 (старшее слово).

Указывает адрес 32-разрядного слова данных, начиная с которого будут считываться данные в произвольном режиме доступа. Имеет значение только в режиме произвольного чтения.

3.9.6 Реально собранное количество данных

Смещение относительно базового адреса (чтение) – 72 (младшее слово), 76 (старшее слово).

Значением регистра является адрес следующего за последним собранным слова данных в 32-разрядных словах. При останове процесса сбора по заполнению активной зоны указывает на начальный адрес активной зоны. Чтение регистра до остановки процесса сбора возможно, но может дать некорректный результат.

3.9.7 Регистр состояния контроллера памяти

Смещение относительно базового адреса (чтение) – 68.

Разряды	Назначение
0	1 – разрешена выдача команды на SPD ROM 0 – запрещена выдача команды на SPD ROM
1	1 – память находится в инициализированном состоянии 0 – память находится в неинициализированном состоянии

4. УСТАНОВКА КОНФИГУРАЦИИ МОДУЛЯ

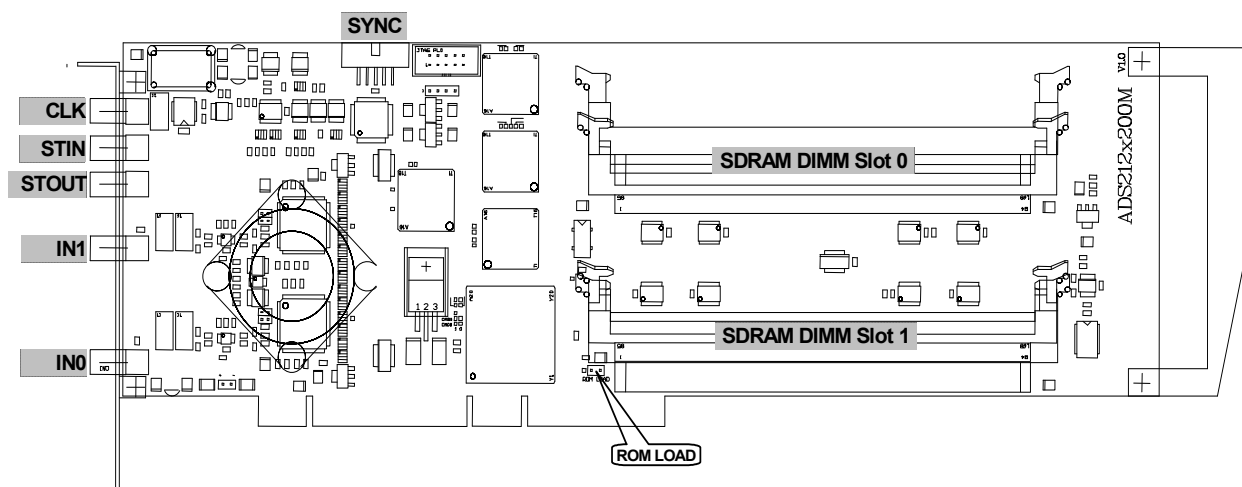


Рис. 4-1 Общий вид модуля ADS212x200M

4.1 Загрузка конфигурации программируемых логических схем

Так как в состав модуля входят программируемые логические схемы (ПЛИС), перед работой с модулем необходимо загрузить их конфигурацию. Загрузка конфигурации должна быть проведена как минимум один раз после подачи питания на модуль, допускается многократная повторная загрузка той же или другой конфигурации.

Файл программирования конфигурации имеет имя **a1220031.hex**.

Утилита AMBPLD.EXE производит загрузку файла конфигурации в ПЛИС модуля. Это программа DOS, она имеет следующий формат вызова:

Ambpld.exe [имя файла программирования] [номер платы]

При запуске программы без параметров выдается список всех обнаруженных PCI-модулей с указанием типов плат, условных номеров плат и базовых адресов пространства программирования. Для загрузки конфигурации при запуске программы нужно указать номер платы в соответствии с полученным списком, по умолчанию загрузка ПЛИС производится в плату с номером 0. Платы нумеруются в порядке возрастания номера слота PCI. Номера слотов PCI обычно возрастают в позициях от процессора к краю материнской платы компьютера, но это требует выяснения для конкретной материнской платы.

Примечание: При использовании программной оболочки ISVI или штатных драйверов модуля загрузка конфигурации ПЛИС вышеописанным способом не требуется.

В случае необходимости загрузка конфигурации ПЛИС может производиться из конфигурационной ПЗУ (EPROM). Для включения такого режима загрузки необходимо установить переключку, при этом загрузка конфигурации ПЛИС будет происходить автоматически после включения питания, перезагрузка конфигурации программным способом будет невозможна.