

**ПЛАТА СБОРА АНАЛОГОВОЙ
ИНФОРМАЦИИ
ЛА-БПн2-8РСІ**

Руководство пользователя

Редакция: 24.11.2003г.

ООО «ЦЕНТР АЦП»

Почтовый адрес: 125040, г. Москва, ул. Верхняя, д.6, ООО «Центр АЦП»

Телефон: (095) 257-4503, 257-4509

Телефон/Факс: (095) 257-4514

E-mail: mail@centeradc.ru

WWW: www.centeradc.ru

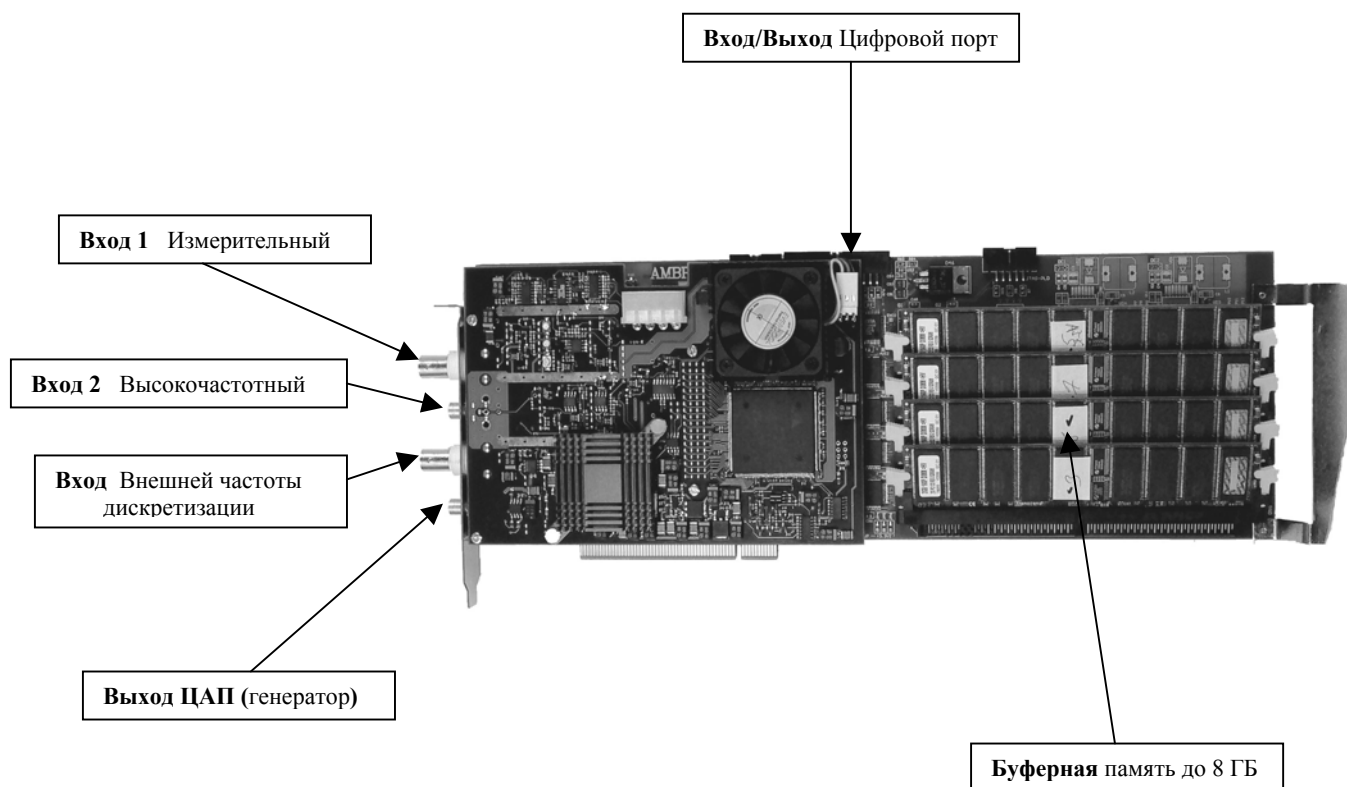
СОДЕРЖАНИЕ

1. Введение	4
1.1 Назначение	4
1.2 Технические характеристики	5
1.3 Конструктивные параметры	6
1.4 Комплект поставки	6
1.5 Установка изделия в компьютер	6
2. Устройство и работа изделия	7
2.1 Общая функциональная схема	7
2.2 Узел интерфейса ADM-Connect	8
2.3 Узел синхронизации и управления	9
2.3.1 Тактирование	9
2.3.2 Стартовая синхронизация АЦП	9
2.3.3 Совместная работа нескольких модулей	10
2.4 Узел программируемых напряжений	10
2.5 Узел ЦАП	Ошибка! Закладка не определена.
2.6 Память данных	10
2.7 Цифровой порт ввода/вывода	12
2.8 Системный интерфейс	12
3. Программируемые ресурсы	14
3.1 Общая характеристика	14
3.2 Основной регистр режимов	16
3.3 Регистр режимов стартовой синхронизации АЦП	17
3.4 Регистры частоты дискретизации АЦП и ЦАП	17
3.5 Входные данные и данные ЦАП	17
3.6 Регистр ЦАП программируемых напряжений	18
3.7 Регистр состояния	19
3.8 Программируемые ресурсы узла памяти данных	19
3.8.1 Определение конфигурации памяти	19
3.8.2 Регистр конфигурации контроллера памяти	20
3.8.3 Регистр начального адреса активной зоны	21
3.8.4 Регистр конечного адреса активной зоны	21
3.8.5 Регистр счетчика посттриггера	Ошибка! Закладка не определена.
3.8.6 Регистр начального адреса чтения	21
3.8.7 Реально собранное количество данных	21
3.8.8 Регистр состояния контроллера памяти	21
4. Установка конфигурации модуля	22
4.1 Входное сопротивление входов внешней синхронизации	Ошибка! Закладка не определена.
4.2 Подключение ФНЧ ЦАП	Ошибка! Закладка не определена.
4.3 Использование разъема X4	Ошибка! Закладка не определена.
4.4 Выбор напряжения питания 3,3В	Ошибка! Закладка не определена.
4.5 Загрузка конфигурации программируемых логических схем	22
5. Программное обеспечение	24

1. ВВЕДЕНИЕ

1.1 Назначение

Плата ЛА-БПн2-8РСІ предназначена для создания систем неразрушающего контроля; для тестирования на сбой цифровой аппаратуры; для продолжительной регистрации сигнала с высоким разрешением по времени; для создания исследовательских систем в области ядерной физики; для систем панорамного мониторинга с высоким частотным разрешением.



1.2 Технические характеристики

Табл. 1 Основные технические характеристики.

Параметр	Значение
Количество входов	2 однополюсных
Разрядность АЦП	8 бит
Частота дискретизации АЦП	500, 250, 125, 62.5 МГц
Вход 1 (измерительный)	
Входное сопротивление	1 МОм & 17 пФ
Диапазоны входного сигнала	$\pm 5\text{В}$, $\pm 2.5\text{В}$, $\pm 1\text{В}$, $\pm 0.5\text{В}$
Тип разъема	BNC-50
Защита по входу	$\pm 150\text{ В}$
Рабочая полоса частот (по уровню -3дБ)	0 – 100 МГц
С/Ш при калибровочном сигнале 50 МГц	не менее 40 дБ
Вход 2 (высокочастотный)	
Входное сопротивление	$50 \pm 1\text{ Ом}$
Диапазоны входного сигнала	$\pm 2\text{В}$, $\pm 1\text{В}$, $\pm 0.5\text{В}$, $\pm 0.25\text{В}$
Тип разъема	Lemo
Защита по входу	$\pm 5\text{ В}$
Рабочая полоса частот (по уровню -3дБ)	0 – 300 МГц
Неравномерность АЧХ в полосе частот до 180 МГц	не более $\pm 0.5\text{ дБ}$
Нижняя граничная частота при закрытом входе (-3 дБ)	$10\text{ кГц} \pm 10\%$
С/Ш при калибровочном сигнале 150 МГц	не менее 37 дБ
Вход внешней тактовой частоты дискретизации	
Входное сопротивление	$50 \pm 1\text{ Ом}$
Амплитуда тактового сигнала	не менее 1В (пик-пик)
Амплитудный диапазон сигнала	$\pm 2\text{В}$
Защита по входу	$\pm 5\text{В}$
Рабочая полоса частот	от 250 МГц до 500 МГц
Тип разъема	BNC-50

Системный интерфейс: 32 бит, 33 МГц, 5V PCI Rev.2.1

Режимы обмена: Мастер и/или программный

Скорость ввода данных в память модуля: до 500 Мбайт/с

Скорость передачи данных из памяти модуля в ПЭВМ: не менее 60 Мбайт/с

Память данных тракта ввода (SDRAM):

- до 8Гбайт, четыре слота SDRAM DIMM 168-pin.

Цифровой порт для управления внешними устройствами:

- 16 разрядов на ввод
- 8 или 16 разрядов на вывод

Потребляемые токи платы ЛА-БПн2-8:

- не более 5.5 А по цепи +3,3В (при установке 8 Гбайт памяти) (3,3В от системного разъема)
- не более 2.2 А по цепи +5В
- не более 850 мА по цепи +12В
- не более 75 мА по цепи -12В

•Конструктивные параметры

Размер печатной платы _____ 310*122мм

Максимальная высота элементов на плате с учетом DIMM _____ 40мм

1.3 Комплект поставки

- Плата ЛА-БПн2-8PCI
- Руководство пользователя
- Дискеты с программным обеспечением
- Упаковочная коробка

1.4 Установка изделия в компьютер

- Перед началом работы внимательно прочитайте данное руководство.
- Модуль предназначен для установки в компьютер с 32-разрядной шиной PCI с тактовой частотой до 33МГц
- Всегда **выключайте питание компьютера**, прежде чем:
 - ⇒ **устанавливать модуль;**
 - ⇒ **извлекать модуль;**
 - ⇒ **подключать разъемы к модулю,**
 - ⇒ **снимать или устанавливать субмодуль,**
 - ⇒ **снимать или устанавливать модули SDRAM.**
- Прежде чем подключить к модулю любые приборы (генератор, осциллограф, цифровой вольтметр и пр.), убедитесь в том, что их корпусные земли надежно соединены с корпусом компьютера.

2. УСТРОЙСТВО И РАБОТА ИЗДЕЛИЯ

2.1 Общая функциональная схема

В состав платы БПн2-8РСІ входят следующие функциональные узлы:

- узел интерфейса ЛА-БПн2-8РСІ с разъемами для установки аналого-цифровых субмодулей типа MEZn**;
- узел программируемых напряжений для смещения шкал, управления коэффициентами передачи и установки порога срабатывания стартовых (тактовых) компараторов;
- узел синхронизации и управления, обеспечивающий запуск и остановку преобразования и формирование временных диаграмм трактов ввода и вывода в различных режимах, включает в себя контроллер памяти;
- узел памяти данных тракта ввода (4 слота SDRAM DIMM), включает также буферное FIFO тракта ввода (64 64-разрядных слов);
- универсальный 16-разрядный цифровой порт ввода/вывода (TTL) для управления внешними устройствами;
- узел системного интерфейса, обеспечивающий передачу данных и управление модулем по системной шине РСІ.

Функциональная схема базового модуля приведена на Рис. 2-1, структура субмодуля показана условно. Общий вид модуля приведен на Рис. 4-1.

Условные обозначения на функциональной схеме:

MUX - мультиплексор, выбирающий источник сигналов для стартовых (тактовых) компараторов;

Комп.0 - стартовый компаратор 0;

Комп.1 - стартовый (тактовый) компаратор 1;

ЦАП - цифро-аналоговый преобразователь;

АЦП - аналого-цифровой преобразователь;

ФНЧ - восстанавливающий фильтр;

FIFO - буферная память с организацией FIFO.

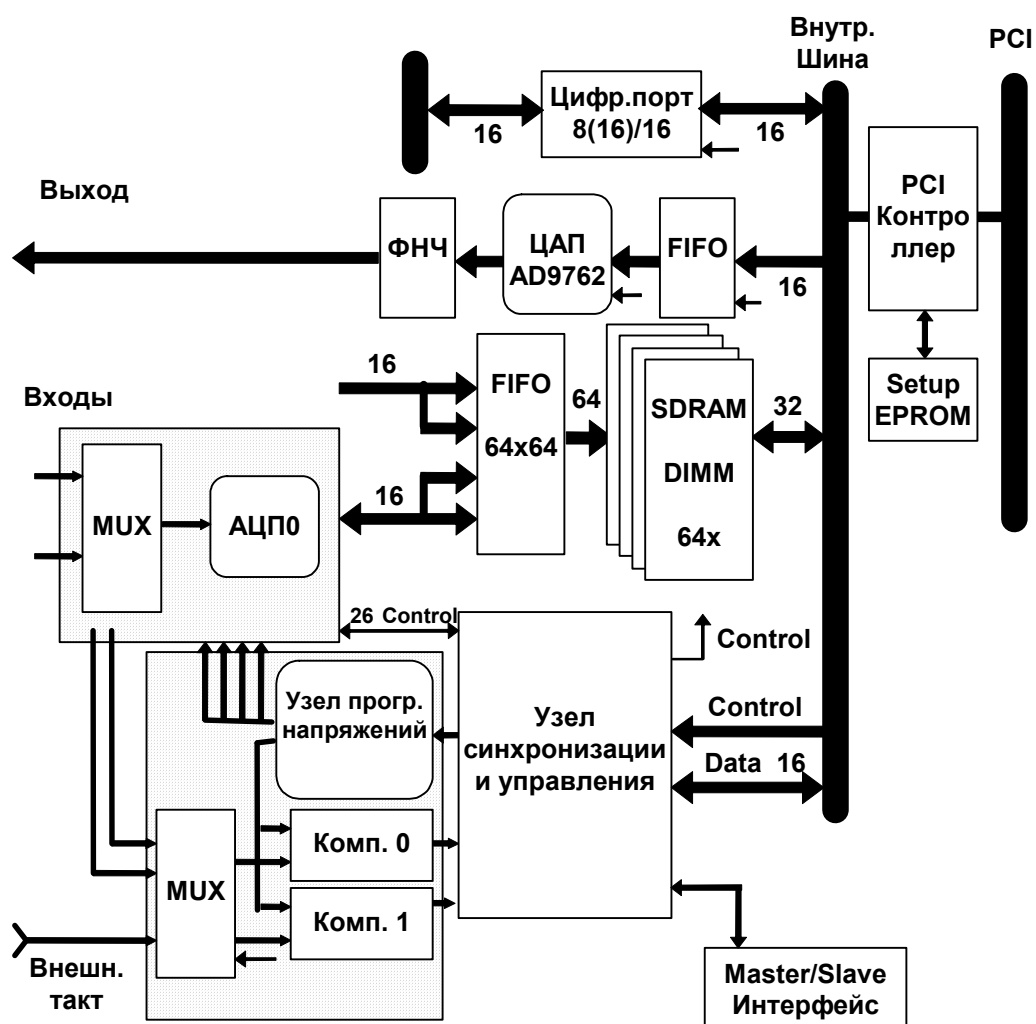


Рис. 2-1 Функциональная схема ЛА-БПн2-8РСІ

2.2 Узел интерфейса БПн2-8РСІ

Узел интерфейса БПн2-8РСІ обеспечивает подключение к базовому модулю аналого-цифровых субмодулей типа MEZn** производства фирмы «Центр АЦП». Узел включает разъемы для установки субмодуля и формирователь интерфейса субмодуля. В целом интерфейс БПн2-8РСІ включает:

- 32-разрядную шину данных, разбитую на две 16-разрядных шины, с возможностью передачи данных от субмодуля в буферную память до 500Мбайт/с;
- шину управления (26 сигналов), конкретное назначение и временные диаграммы сигналов зависят от интерфейса конкретного субмодуля;
- до 6 аналоговых сигналов с узла программируемых напряжений;
- цепи питания (+5В, +3.3В, ±12В).

Формирователь интерфейса реализован на базе программируемой логики и обеспечивает требования интерфейса конкретного субмодуля, логическая конфигурация формирователя загружается программно во время инициализации базового модуля (см.п.4.1).

2.3 Узел синхронизации и управления

2.3.1 Тактирование

В части субмодулей, в основном высокочастотных, механизм формирования частоты дискретизации АЦП реализован непосредственно на субмодуле.

Частота дискретизации АЦП программируется путем задания коэффициента деления тактовой частоты 500 МГц, значения коэффициента деления 1-2-4-8.

2.3.2 Стартовая синхронизация АЦП

Узел стартовой синхронизации предназначен для запуска процесса аналого-цифрового преобразования в зависимости от внешних факторов (примером одного из режимов может служить ждущий режим развертки обычного осциллографа). Узел состоит из мультиплексора MUX, двух компараторов, двух 8-разрядных пороговых ЦАП и схемы логики, вырабатывающей собственно признак запуска и останова процесса.

Временная нестабильность срабатывания схемы стартовой синхронизации равна одному периоду частоты дискретизации АЦП при не синхронизированном сигнале запуска с тактовой частотой АЦП. Для исключения этой нестабильности необходимо использовать режим работы с внешней тактовой частотой и вне модуля привязывать запускающий сигнал к этой частоте. Постоянная задержка срабатывания схемы стартовой синхронизации обычно находится в пределах 2-4 нс.

В качестве сигналов старта могут использоваться либо внешние сигналы с одного из входных аналоговых канала: Вход 1 или Вход 2 или программный старт. Программно (в регистре режимов стартовой синхронизации) определяются положение МП (т.е. источник сигналов на компараторы 0 и 1), режимы старта и останова и полярность выходных сигналов компараторов. Также программно определяется напряжение порога, формируемое соответствующим пороговым ЦАП.

Возможны следующие режимы старта АЦП:

- программный режим, в этом случае запуск/останов преобразования определяется только записью "1" или "0" в бит разрешения АЦП основного регистра режимов;
- запуск по сигналам от компараторов.

Различаются так называемые "потенциальный" и "триггерный" режимы запуска: в "потенциальном" процесс ввода осуществляется только в то время, когда выбранный компаратор находится в требуемом состоянии ("0" или "1"), а в триггерном режиме старт и останов происходят по фронту на выбранном сигнале, причем для старта и останова могут быть выбраны различные сигналы.

Примечание: запись "0" в бит разрешения АЦП останавливает процесс ввода в любом из режимов "1".

Компараторы формируют сигнал логической "1" в случае превышения порогового уровня над входным сигналом и сигнал логического "0" при превышении входным сигналом порогового уровня.

В "потенциальном" режиме разрешающими уровнями являются уровни "1" на выходах компараторов, в "триггерном" режиме рабочим фронтом является переход сигналов на выходах компараторов из "0" в "1".

Для использования противоположных значений сигналов и фронтов предназначены соответствующие разряды в регистре режимов стартовой

синхронизации, установка которых в "1" приводит к логической инверсии выбранных сигналов.

Примечание: Режим претриггера может быть включен *только* при режиме триггерного запуска.

2.3.3 Совместная работа нескольких модулей (модификация)

Для создания синхронных многоканальных систем сбора данных предусмотрен механизм совместной работы нескольких модулей в режиме Master/Slave (Ведущий/Ведомый). Режим Master/Slave применяется для синхронизации работы нескольких однородных изделий.

Модули устанавливаются в один компьютер, соединяются между собой через разъемы синхронизации X2 (см. **Ошибка! Источник ссылки не найден.**). Один из модулей программируется как Master, все остальные как Slave. Выходные сигналы синхронизации с ведущего модуля должны быть подключены к соответствующим входным сигналам ведомых модулей. Ведущий модуль раздает сигналы синхронизации АЦП и ЦАП на ведомые, при этом на всех модулях обеспечивается синхронная работа. Частоты дискретизации программируются только на ведущем модуле, а режимы работы трактов программируются на всех отдельно, причем для модулей с мультиплексированием необходимо устанавливать одинаковое число выбранных входов в каналах. При использовании режимов внешнего старта или внешней тактовой частоты внешние сигналы подаются только на Master.

2.4 Узел программируемых напряжений

Узел программируемых напряжений состоит из восьми 8-разрядных ЦАП и предназначен для формирования напряжений смещения шкал каналов АЦП, управления коэффициентами передачи (каналы ЦАП 3...8, выходы этих ЦАП заведены на субмодуль) и установки порогов срабатывания стартовых (тактовых) компараторов (ЦАП1 для Комп.0 и ЦАП2 для Комп.1). Выходное напряжение ЦАП в диапазоне $\pm 2.5\text{В}$ вычисляется по формуле: $2.5\text{В} \cdot (D/128-1)$, где D - 8-битный код, записываемый в ЦАП. После включения модуля или аппаратного сброса все выходы ЦАП устанавливаются в состояние 0В.

2.5 Память данных

Память данных модуля предназначена для накопления данных АЦП, поступающих со скоростями, превосходящими пропускную способность системной шины.

Модуль предусматривает установку до восьми стандартных 168-pin SDRAM DIMM, общим объемом до 8 Гбайт.

Доступ по чтению данных со стороны системной шины реализован в потоковом режиме, при этом возможно либо использование режима шины PCI «Мастер», либо программное чтение.

Предусмотрены два режима доступа к памяти по чтению: *автоматический* и *произвольный*.

Автоматический режим доступа обеспечивает начало передачи данных в системную шину сразу по завершении сбора данных. При этом в системную шину данные передаются последовательно начиная с начала активной зоны до её конца. Скорость передачи данных – не менее 60 Мбайт/с и не более 85 Мбайт/с. Скорость зависит от конкретной материнской платы компьютера и от установленных в них комплектов микросхем (Производителя).

Примечание: При продолжении процесса чтения данных по исчерпанию активной зоны указатель чтения данных переходит на начало активной зоны и чтение может продолжаться далее.

Произвольный режим доступа обеспечивает доступ к произвольному участку памяти независимо от процесса сбора данных и заданных параметров активной зоны. Для использования этого режима необходимо задать начальный адрес чтения и затем включить бит разрешения чтения, после чего данные будут передаваться последовательно в системную шину. Процесс сбора данных организуется точно так же, как и при установленном автоматическом режиме доступа. Максимальная скорость передачи данных в этом режиме несколько ниже (до 60 Мбайт/с), чем в автоматическом, и зависит также от темпа сбора данных, если чтение происходит на фоне сбора.

Для управления узлом памяти предназначена группа регистров, размещенных в дополнительном слое программируемых ресурсов модуля, доступ к которым открывается после записи «1» в 14-м разряде основного регистра режимов. Подлежат программированию следующие параметры (см. также п.3.8):

- режим доступа по чтению – произвольный или автоматический;
- начальный адрес активной зоны памяти, определяет размещение области памяти, в которую производится сбор данных, в общем массиве памяти;
- конечный адрес активной зоны памяти, не может превышать физический размер памяти, установленной на модуле;
- значение счетчика посттриггера, определяют количество собираемых данных после события при включенном режиме претриггера, может принимать нулевое значение;
- начальный адрес чтения (только для произвольного режима доступа);
- параметры, характеризующие организацию модулей памяти, определяются либо чтением конфигурационной ПЗУ (SPD ROM) на модулях (см.п.3.8.1), либо задаются вручную при отсутствии SPD ROM.

Реально собранное количество данных (по модулю размера активной зоны) с точностью до 32-разрядного слова после остановки процесса сбора может быть определено считыванием соответствующих регистров, наличие перехода через границу активной зоны в режиме претриггера определяется состоянием разряда 3 регистра статуса.

Перед началом работы с модулем необходимо установить корректные значения полей регистра конфигурации контроллера памяти (см.п.3.8.2) и выполнить команду инициализации блока памяти (запись в регистр конфигурации с 13-м битом, установленным в 1).

Примечание: При установленном в «1» 1-м бите регистра состояния контроллера памяти нет необходимости выполнять команду инициализации блока памяти.

Перед каждым стартом процесса сбора данных необходимо выполнить команду сброса в исходное состояние ресурсов памяти данных (запись в основной регистр режимов с 9-м битом, установленным в 1), причем предварительно должна быть выполнена команда останова сбора данных (снято разрешение АЦП).

2.6 Цифровой порт ввода/вывода

Табл. 2-1 Разъем X3 цифрового порта ввода/вывода

Контакт	Обозначение	Назначение цепи
1	PIO0	цифровой порт ввода/вывода разряд 0
2	PIO1	цифровой порт ввода/вывода разряд 1
3	PIO2	цифровой порт ввода/вывода разряд 2
4	PIO3	цифровой порт ввода/вывода разряд 3
5	PIO4	цифровой порт ввода/вывода разряд 4
6	PIO5	цифровой порт ввода/вывода разряд 5
7	PIO6	цифровой порт ввода/вывода разряд 6
8	PIO7	цифровой порт ввода/вывода разряд 7
9	PIO8	цифровой порт ввода/вывода разряд 8
10	PIO9	цифровой порт ввода/вывода разряд 9
11	PIO10	цифровой порт ввода/вывода разряд 10
12	PIO11	цифровой порт ввода/вывода разряд 11
13	PIO12	цифровой порт ввода/вывода разряд 12
14	PIO13	цифровой порт ввода/вывода разряд 13
15	PIO14	цифровой порт ввода/вывода разряд 14
16	PIO15	цифровой порт ввода/вывода разряд 15
17	GND	Общий
18	PIOWR/	строб цифрового порта вывода
19	PIORD/	строб цифрового порта ввода
20	GND	Общий
21	USYNC0	Резерв (программируемый сигнал 0)
22	GND	Общий
23	USYNC1	Резерв (программируемый сигнал 1)
24	GND	Общий
25	USYNC2	Резерв (программируемый сигнал 2)
26	GND	Общий

Цифровой порт ввода/вывода представляет собой 16 двунаправленных TTL - сигналов, выведенных на разъем X3 (Табл. 2-1). На вывод порт может работать в трех режимах: нет вывода, 8-разрядный регистр (линии PIO[0..7]) или 16-разрядный регистр (линии PIO[0..15]). Режим порта устанавливается в основном регистре режимов (см.п.3.2), после программирования ПЛИС или аппаратного сброса порт устанавливается в состояние "ввод 16-бит, нет вывода". Данные в выходном регистре защелкиваются по нарастающему фронту сигнала записи, строб записи (PIOWR/) также выведен на разъем X3, в качестве регистра используются микросхемы 74FCT2574.

Все линии порта (PIO[0..15]) заведены на входной буфер. В качестве буфера использованы микросхемы 74FCT2245, строб чтения порта (PIORD/) выведен на разъем X3.

Стробы чтения и записи представляет собой импульсы 0-го уровня, фиксация данных происходит по перепаду из "0" в "1".

2.7 Системный интерфейс

Модуль БПн2-8PCI предназначен для работы в составе компьютеров с 32-разрядной 5-вольтовой системной шиной PCI с тактовой частотой до 33МГц. В качестве контроллера шины применена микросхема AMCC S5933Q (S5935Q).

Контроллер позволяет передавать данные в режиме Bus Master с максимальной производительностью шины (до 120 Мбайт/с). Максимальная скорость чтения данных из блока памяти составляет до 30 Мбайт/с.

Программируемые ресурсы модуля занимают 64 байта в адресном пространстве ввода/вывода. Значащими разрядами для регистров режимов, регистра состояния и данных ЦАП являются 16 младших разрядов 32-разрядного слова, данные АЦП - 32-разрядные. В режиме Bus Master или потоковом данные ЦАП также 32-разрядные. Программирование режимов работы изделия осуществляется путем вывода соответствующих кодов в регистры модуля, а обмен данными АЦП и ЦАП может осуществляться как в режиме прямого доступа к памяти (Bus Master), так и в программном режиме. Текущее состояние модуля может быть доступно программе чтением регистра состояния.

Режим Bus Master обеспечивается контроллером PCI.

Программный режим обмена рекомендуется организовывать с помощью потокового ввода/вывода. При этом следует использовать не адреса данных АЦП и ЦАП, приведенные в Табл. 2-1, а адреса внутреннего FIFO контроллера PCI, источником запроса на передачу должно быть содержимое регистра состояния. Следует иметь в виду, что максимальная скорость передачи данных в этом режиме не превышает 10 Мбайт/с.

По причине высокой сложности обеспечения работоспособности PCI-устройств, а тем более достижения максимальных параметров быстродействия, в настоящем описании не приводятся материалы по взаимодействию HOST-процессора с контроллером PCI. В связи с этим настоятельно рекомендуется на уровне взаимодействия с устройством использовать поставляемое Разработчиком программное обеспечение.

3. ПРОГРАММИРУЕМЫЕ РЕСУРСЫ

3.1 Общая характеристика

Программируемые ресурсы системы, состоящей из базового модуля вместе с установленным submodule, состоят из двух частей: постоянной, общей для всех систем и представляющей ресурсы базового модуля и общие ресурсы всех submodule, и специфической, представляющей ресурсы конкретного submodule или группы submodule.

Программируемые ресурсы системы занимают 64 ячейки в адресном пространстве ввода/вывода, перечень ресурсов базового модуля приведен в Табл. 3-1, в следующих разделах эти ресурсы описаны. Описание программируемых ресурсов конкретных submodule, а также особенности использования ресурсов базового модуля приведены в документации на submodule.

Все ресурсы 32-разрядные, действительными для всех ресурсов (кроме данных АЦП и ЦАП - см.п.3.5) являются 16 младших разрядов. Адреса регистров указаны относительно базового адреса пространства BADR1, определяемого в процедуре конфигурирования устройств PCI Plug&Play. Для нахождения модуля необходимо знать DeviceID - 0x4d23, и VendorID - 0x4953.

Часть программируемых ресурсов, относящаяся к ресурсам контроллера памяти, расположена в дополнительном адресном пространстве, доступ к которому осуществляется при установленном в «1» 14-м бите основного регистра режимов. Сам регистр режимов доступен по 0-му адресу при любой установке 14-го бита. Регистры дополнительного адресного пространства в Табл. 3-1 помечены символом (II).

В таблице указан также тип разрешенных обращений к ячейкам: "wr" - только запись, "rd" - только чтение, "wr/rd" - и чтение и запись.

Примечание: При записи в любые регистры незадействованные разряды или обозначенные как "резерв" должны быть нулевыми.

По причине высокой сложности обеспечения работоспособности PCI-устройств, а тем более достижения максимальных параметров быстродействия, в настоящем описании не приводятся материалы по взаимодействию HOST-процессора с контроллером PCI. В связи с этим настоятельно рекомендуется на уровне взаимодействия с устройством использовать поставляемое Разработчиком программное обеспечение.

Табл. 3-1 Программируемые ресурсы базового модуля

Адрес	Наименование ресурса
0 wr	Основной регистр режимов
0 rd	Регистр состояния
4 wr	Регистр режимов стартовой синхронизации АЦП
8 wr	Регистр частоты дискретизации АЦП
12 wr	Резерв
16 wr	Резерв
16 rd	Входные данные (данные АЦП)
20 wr	Установка ЦАП программируемых напряжений
24 wr/rd	Цифровой порт ввода/вывода
4 wr(II)	Регистр конфигурации контроллера памяти
8 wr(II)	Конечный адрес активной зоны (младшее слово)

12 wr(II)	Конечный адрес активной зоны (старшее слово)
16 wr(II)	Начальный адрес активной зоны (младшее слово)
20 wr(II)	Начальный адрес активной зоны (старшее слово)
24 wr(II)	Резерв
28 wr(II)	Резерв
32 wr(II)	Начальный адрес чтения (младшее слово)
36 wr(II)	Начальный адрес чтения (старшее слово)
40 wr(II)	Регистр команд управления SPD ROM
4 rd(II)	Регистр состояния контроллера памяти
8 rd(II)	Реально собранное количество данных (младшее слово)
12 rd(II)	Реально собранное количество данных (старшее слово)
16 rd(II)	Регистр данных SPD ROM

3.2 Основной регистр режимов

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.
Смещение относительно базового адреса - 0.

Разряды	Назначение
0	1 - модуль является ведущим (Master), 0 - подчиненным (Slave)
2,1	режим цифрового порта ввода/вывода: <ul style="list-style-type: none"> • 11 - ввод 16 бит, вывод 16 бит • 01 - ввод 16 бит, вывод 8 бит • 00 - ввод 16 бит, нет вывода
4,3	Резерв
5	Резерв
6	Резерв
7	Резерв
8	1 - разрешение АЦП (программный старт)
9	1 - сброс ресурсов памяти в исходное состояние (содержимое памяти не изменяется)
10	1 - программный сброс субмодуля
12,11	источник тактовой частоты на базовом модуле: <ul style="list-style-type: none"> • 00 - генератор 0 (60МГц) • 01 - генератор 1 (50МГц) • 10 - тактовая частота PCI • 11 - внешняя частота
13	1 - источник тактовой частоты на субмодуле 0 - источник тактовой частоты определяется разр. 11,12
14	1 - включить доступ к дополнительному адресному пространству
15	1 - включить режим тестирования памяти

3.3 Регистр режимов стартовой синхронизации АЦП

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.
Смещение относительно базового адреса - 4.

Разряды	Назначение
1,0	режим мультиплексора компараторов: <ul style="list-style-type: none"> • 00 - на вход Комп.0 подан сигнал внешнего старта, на вход Комп.1 - сигнал с разъема X4; • 01 - на вход Комп.0 подан сигнал входного канала 0, на вход Комп.1 - сигнал с разъема X4; • 10 - на вход Комп.0 подан сигнал входного канала 1, на вход Комп.1 - сигнал с разъема X4; • 11 - на входы обоих компараторов подан сигнал входного канала 0
2	1 - режим претриггера
3	1 - триггерный старт
4	1 - инверсия сигнала от комп.0
5	1 - инверсия сигнала от комп.1
7,6	режим старта АЦП: <ul style="list-style-type: none"> • 00 - программный • 01 - от комп.0 • 10 - от комп.1 • 11 - резерв
9,8	режим останова при триггерном старте: <ul style="list-style-type: none"> • 00 - программный • 01 - от комп.0 • 10 - от комп.1 • 11 - резерв
15..10	резерв

3.4 Регистры частоты дискретизации АЦП и ЦАП

Состояние после перепрограммирования ПЛИС - 0.
Смещение относительно базового адреса - 8 для АЦП и 12 для ЦАП.

Значения этих регистров задают коэффициенты деления тактовой частоты для формирования частот дискретизации ЦАП и АЦП. Разрядность делителя АЦП - 12 или 16 бит (в зависимости от субмодуля), ЦАП - 16 бит, данные занимают разряды 0..12 и 0..15 слова соответственно. Возможные коэффициенты деления - от 1 (код 0001h) до 4096 (код 1000h) или 65536(код 0000h).

3.5 Входные данные

Смещение относительно базового адреса - 16.

Входные данные (данные АЦП) - 16-разрядные, в коде Грея, выровненные по старшему биту независимо от разрядности модуля. При работе в режиме Bus Master или в режиме потокового ввода-вывода через внутреннее FIFO контроллера PCI данные упакованы в 32-разрядные слова по два отсчета. Данные АЦП непосредственным чтением по адресу не доступны.

Соответствие кодов напряжению приведено в Табл. 3-2. В таблице для данных ЦАП приведены коды без учета инверсии фазы восстанавливающим ФНЧ.

При разрядности АЦП менее 16 незадействованные младшие разряды обычно нулевые, но часть субмодулей позволяет вводить в младшие незадействованные разряды биты окраски входных данных, например: признак начала блока или номер канала. Поэтому желательно программное маскирование незадействованных разрядов входных данных.

Табл. 3-2

Двоичный код	U _{ВХ} АЦП
1000 0000 0000 0000	-U _{ВХ} max
1111 1111 1111 1111	-LSB
0000 0000 0000 0000	0
0000 0000 0000 0001	LSB
0111 1111 1111 1111	+U _{ВХ} max

3.6 Регистр ЦАП программируемых напряжений

Смещение относительно базового адреса - 20.

После аппаратного сброса все ЦАП устанавливаются в значение 0В.

Примечание: передача данных в ЦАП связана с параллельно-последовательным преобразованием и поэтому запись в этот регистр необходимо производить только при разрешающем значении (1) бита готовности ЦАП в регистре статуса.

Разряды	Назначение
7...0	данные ЦАП
11...8	адрес(номер) ЦАП (1..8)

Результирующее напряжение на выходе ЦАП определяется по формуле: $2.5V \cdot (D/128 - 1)$, где D - код, записываемый в соответствующий ЦАП.

3.7 Регистр состояния

Смещение относительно базового адреса - 0.

Разряды	Назначение
0	1 - готовность канала ЦАП программируемых напряжений
1,5,8	1 - готовность входных данных (завершение сбора данных)
2	1 - готовность данных ЦАП (буфер ЦАП не полный)
3	1 - наличие перехода через границу активной зоны памяти в режиме претриггера
4	1 - недогрузка буфера ЦАП
6	1 - освобождение половины FIFO ЦАП
7	резерв
9	0 - готовность входных данных (завершение сбора данных)
10	1 - FIFO ЦАП не пусто
11	резерв
12	Выход компаратора 0
13	Выход компаратора 1
14	резерв
15	резерв

Разряды 1,5,8,9 отражают состояние готовности данных АЦП, которое заключается в завершении процесса ввода данных в память. Все флаги изменяются одновременно, их избыточное количество обусловлено необходимостью программной совместимости с несущими модулями без памяти. Сбрасываются в исходное состояние по команде сброса ресурсов памяти (9-й бит основного регистра режимов).

Флаг недогрузки буфера ЦАП означает передачу данных в ЦАП из полностью опустошенного буфера. Этот флаг, появившись однажды, запоминается и сбрасывается только при прохождении команды сброса FIFO ЦАП. Все остальные флаги отражают текущее состояние ресурсов.

3.8 Программируемые ресурсы узла памяти данных

3.8.1 Определение конфигурации памяти

Для работы с SPD ROM служат регистры команд управления (SPDM) и данных (SPDR). Через SPDM подаётся команда, через регистр SPDR (разряды 7..0) считывается побайтно информация. Доступ в конкретной последовательности команд осуществляется только к одному слоту, номер выбранного слота задаётся в поле команды. Структура используемых команд приведена в Табл. 3-3. Запись команды возможна только при установленном в 1 бите готовности SPD (в регистре состояния контроллера памяти). Завершение команды чтения определяется также по 1 в этом бите, после чего возможно считывание содержимого байта SPD из регистров SPDR.

Чтение содержимого памяти SPD возможно двумя способами: чтение последовательности байт, или чтение конкретного байта. Общий объём памяти SPD 128 байт.

Алгоритм выдачи команд для последовательного доступа:

1. Команда записи 1010xxx0 с признаком старта, xxx – номер слота
2. Команда записи адреса (n), n=0..127
3. Команда записи 1010xxx1 с признаком старта, xxx - номер слота
4. Команда чтения байта n
5. Команда чтения байта n+1
6.
7. Команда чтения последнего байта последовательности с признаком стопа.

Алгоритм выдачи команд для произвольного доступа:

1. Команда записи 1010xxx0 с признаком старта, xxx – номер слота
2. Команда записи адреса (n), n=0..127
3. Команда записи 1010xxx1 с признаком старта, xxx - номер слота
4. Команда чтения байта n с признаком стопа.

Табл. 3-3 Формат регистра SPDRM

Разр. SPDRM	Назначение
0	1 – команда записи содержит признак старта 0 – не содержит
1	1 – команда чтения содержит признак стопа 0 – не содержит
2	1 – команда записи 0 – команда чтения
7..3	резерв, всегда 0
15..8	тело команды записи, определяется в соответствии с DS 24xx52 (предполагаемые последовательности команд приведены в тексте), разряды 11,10,9 – номер слота.

3.8.2 Регистр конфигурации контроллера памяти

Состояние после перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 4 (дополнительное адресное пространство).

Разряды	Назначение
0	режим чтения: 0 – автомат, 1 – произвольный.
2,1	число занятых слотов
5..3	число разрядов адреса строк (SPD, байт 3) (Допустимый ряд – 11...14, значение поля = x-8)
8..6	число разрядов адреса столбцов (SPD, байт 4) (Допустимый ряд – 8...13, значение поля = x-8)
9	число банков модуля: 0 – 1 банк, 1 – 2 банка. (SPD, байт 5)
10	число банков SDRAM: 0 – 2 банка, 1 – 4 банка. (SPD, байт 17)
12,11	резерв
13	1 – команда инициализации памяти
14	1 – разрешение доступа по чтению в произвольном режиме
15	1 – блокировка памяти, работа через FIFO

3.8.3 Регистр начального адреса активной зоны

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 16 (младшее слово), 20 (старшее слово), дополнительное адресное пространство.

Указывает начальный адрес буфера (в 32-разрядных словах), в который производится сбор данных, и из которого данные читаются в автоматическом режиме. Не может превышать реальный объем памяти на модуле. Начальный адрес буфера должен быть кратен 64 словам.

3.8.4 Регистр конечного адреса активной зоны

Состояние после аппаратного сброса или перепрограммирования ПЛИС – 0xFFFFFFFF.

Смещение относительно базового адреса – 8 (младшее слово), 12 (старшее слово), дополнительное адресное пространство.

Указывает конечный адрес буфера (в 32-разрядных словах), в который производится сбор данных, и из которого данные читаются в автоматическом режиме. Не может превышать реальный объем памяти на модуле. Значение конечный адрес буфера плюс 1 должно быть кратно 64 словам.

3.8.5 Регистр начального адреса чтения

Состояние после аппаратного сброса или перепрограммирования ПЛИС - 0.

Смещение относительно базового адреса – 32 (младшее слово), 36 (старшее слово), дополнительное адресное пространство.

Указывает адрес 32-разрядного слова данных, начиная с которого будут считываться данные в произвольном режиме доступа. Имеет значение только в режиме произвольного чтения.

3.8.6 Реально собранное количество данных

Смещение относительно базового адреса (чтение) – 8 (младшее слово), 12 (старшее слово), дополнительное адресное пространство.

Значением регистра является адрес следующего за последним собранным слова данных в 32-разрядных словах. При останове процесса сбора по заполнению активной зоны указывает на начальный адрес активной зоны. Чтение регистра до остановки процесса сбора возможно, но может дать некорректный результат.

3.8.7 Регистр состояния контроллера памяти

Смещение относительно базового адреса (чтение) – 4, дополнительное адресное пространство.

Разряды	Назначение
0	1 – разрешена выдача команды на SPD ROM 0 – запрещена выдача команды на SPD ROM
1	1 – память находится в инициализированном состоянии 0 – память находится в неинициализированном состоянии

4. УСТАНОВКА КОНФИГУРАЦИИ МОДУЛЯ

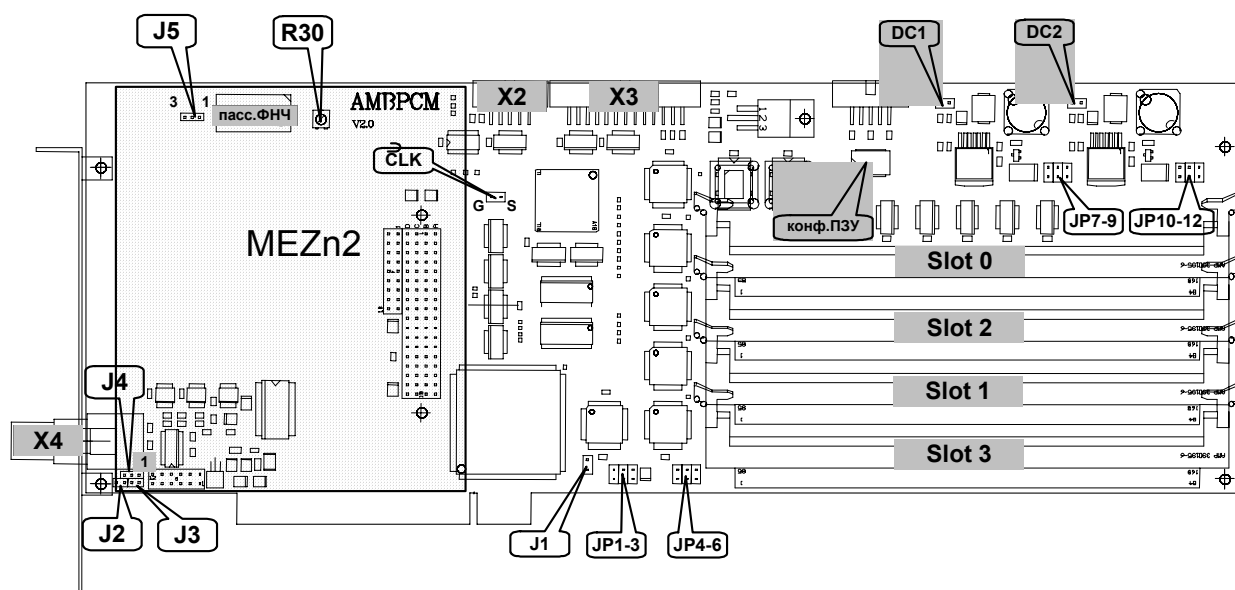


Рис. 4-1 Общий вид модуля БПн2-8PCI

4.1 Загрузка конфигурации программируемых логических схем

Так как в состав модуля входят программируемые логические схемы (ПЛИС), перед работой с модулем необходимо загрузить их конфигурацию, причем для разных субмодулей эта конфигурация может быть разной. Загрузка конфигурации должна быть проведена как минимум один раз после подачи питания на модуль, допускается многократная повторная загрузка той же или другой конфигурации.

Файл программирования конфигурации имеет типовое расширение **.hex**, имя файла обычно составляется следующим образом: **VxxxxxVV**, где поле xxxxxx - цифровое или цифробуквенное обозначение субмодуля, поле V - обозначение несущего модуля, поле VV - номер версии (или модификации). Поле V может принимать следующие значения для модулей: AMBPCM – “d”.

Утилита AMBPLD.EXE производит загрузку файла конфигурации в ПЛИС модуля. Это программа DOS, она имеет следующий формат вызова:

Ambpld.exe [имя файла программирования] [номер платы]

Для загрузки конфигурации при запуске программы нужно указать номер платы в соответствии с полученным списком, по умолчанию загрузка ПЛИС производится в плату с номером 0. Платы нумеруются в порядке возрастания номера слота PCI. Номера слотов PCI обычно возрастают в позициях от процессора к краю материнской платы компьютера, но это требует выяснения для конкретной материнской платы.

Примечание: При использовании программной оболочки ADCLab, ISVI или штатных драйверов модуля загрузка конфигурации ПЛИС вышеописанным способом не требуется.

В случае необходимости загрузка конфигурации ПЛИС может производиться из конфигурационной ПЗУ (EPROM). Для включения такого режима загрузки необходимо установить перемычку J1, при этом загрузка конфигурации ПЛИС будет происходить автоматически после включения питания, перезагрузка

конфигурации программным способом будет невозможна. В стандартной поставке конфигурационная ПЗУ не предусмотрена.

5. ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

В стандартный комплект программного обеспечения модуля входят:

- программа для программирования конфигурации логических схем модуля (см. п. 4.1);
- Программа ADCLab для демонстрации функциональной возможности устройства.
- программа комплексного анализа сигналов ISVI с функциями осциллографа, спектроанализатора и сбора данных на жестком диске в среде Windows 98/ME/2000/XP.

Дополнительно поставляются драйверы DAQ-DRV для работы в операционных средах Windows 98/ME/2000/XP.